



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月 5日

出 願 番 号

Application Number:

特願2000-369832

出 願 人

Applicant(s):

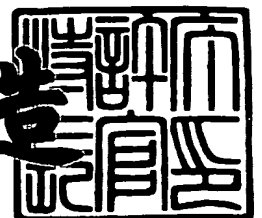
三洋電機株式会社



2001年 9月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3086588

【書類名】 特許願

【整理番号】 NBC1002097

【提出日】 平成12年12月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H04J 13/00

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 後藤 章二

【特許出願人】

【識別番号】 000001889

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第371634号

【出願日】 平成11年12月27日

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006995

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタルマッチトフィルタおよびデジタルマッチトフィルタを用いた携帯無線端末

【特許請求の範囲】

【請求項 1】 送信側で拡散処理が施されている受信信号系列に対して受信側で逆拡散処理を行なうためのデジタルマッチトフィルタであって、

時系列的に入力される前記受信信号系列を構成するサンプルを所定数のサンプルだけ順次保持する受信信号保持手段と、

前記逆拡散処理のための拡散符号系列を生成する拡散符号生成手段と、

前記受信信号保持手段に保持されている前記所定数のサンプルと、前記生成された拡散符号系列との相関値を算出する相関値演算手段とを備え、

前記相関値演算手段は、

前記受信信号保持手段に保持されている所定数のサンプルの一部と、前記生成された拡散符号系列のうち前記サンプルの一部に対応する拡散符号との相関値を算出する第 1 の積和演算手段と、

前記受信信号保持手段に保持されている所定数のサンプルの残りのサンプルと、前記生成された拡散符号系列のうち前記残りのサンプルに対応する拡散符号との相関値を算出する第 2 の積和演算手段と、

前記第 1 の積和演算手段の出力相関値が所定の閾値を超えたか否かを判定し、前記第 1 の積和演算手段の出力相関値が前記所定の閾値を超えないと判定されれば、前記第 2 の積和演算手段の演算動作を停止する判定手段とを含む、デジタルマッチトフィルタ。

【請求項 2】 送信側で拡散処理が施されている受信信号系列に対して受信側で逆拡散処理を行なうためのデジタルマッチトフィルタであって、

時系列的に入力される前記受信信号系列を構成するサンプルを順次保持するための受信信号保持手段を備え、

前記受信信号保持手段は、

前記時系列的に入力される受信信号系列を所定数のサンプルだけ並列に保持するための前記所定数の記憶回路と、

前記所定数の記憶回路のそれぞれの前段に設けられ、各々が能動化されたときに対応する前記記憶回路への入力信号を通過させ、それ以外のときには入力信号をマスクする、前記所定数の論理回路と、

前記時系列的に入力される受信信号系列のサンプルが前記所定数の記憶回路に所定のタイミングで巡回的に書込まれるように、前記所定数の記憶回路を前記所定のタイミングで巡回的に書込み可能状態にする第 1 の制御手段と、

前記時系列的に入力される受信信号系列のサンプルが前記所定数の記憶回路に前記所定のタイミングで巡回的に入力されるように、前記所定数の論理回路を前記所定のタイミングで巡回的に能動化する第 2 の制御手段とを含み、

前記デジタルマッチトフィルタは、

前記逆拡散処理のための拡散符号系列を生成する拡散符号生成手段と、

前記所定数の記憶回路に並列に保持されている前記受信信号系列のサンプルと、前記拡散符号系列との相関値を算出する相関値演算手段とをさらに備える、デジタルマッチトフィルタ。

【請求項 3】 前記所定数の論理回路の各々の負荷容量が、前記所定数の記憶回路の各々の負荷容量よりも小さい、請求項 2 に記載のデジタルマッチトフィルタ。

【請求項 4】 送信側で拡散処理が施されている受信信号系列に対して受信側で逆拡散処理を行なうためのデジタルマッチトフィルタであって、

時系列的に入力される前記受信信号系列を構成するサンプルを第 1 の所定数のサンプルだけ順次保持する受信信号保持手段を備え、前記保持される第 1 の所定数のサンプルは、第 2 の所定数のグループに分割され、

前記逆拡散処理のための拡散符号系列を生成する拡散符号生成手段と、

前記第 2 の所定数のグループごとに対応して設けられ、各々が、対応するグループのサンプルと、前記拡散符号系列との相関値を算出する、前記第 2 の所定数の相関値演算手段と、

前記第 2 の所定数の相関値演算手段のそれぞれの出力相関値を 1 系統の出力相関値として時系列的に順次出力する出力制御手段とをさらに備えた、デジタルマッチトフィルタ。

【請求項 5】 送信側で拡散処理が施されている受信信号系列に対して受信側で逆拡散処理を行なうためのデジタルマッチトフィルタであって、

時系列的に入力される前記受信信号系列を構成するサンプルを順次保持するための受信信号保持手段を備え、

前記受信信号保持手段は、

前記時系列的に入力される受信信号系列を所定数のサンプルだけ並列に保持するための前記所定数の記憶回路と、

前記所定数の記憶回路のそれぞれの前段に設けられ、各々が能動化されたときに対応する前記記憶回路への入力信号を通過させ、それ以外のときには入力信号をマスクする、前記所定数の論理回路と、

前記時系列的に入力される受信信号系列のサンプルが前記所定数の記憶回路に所定のタイミングで巡回的に書込まれるように、前記所定数の記憶回路を前記所定のタイミングで巡回的に書込み可能状態にする第 1 の制御手段と、

前記時系列的に入力される受信信号系列のサンプルが前記所定数の記憶回路に前記所定のタイミングで巡回的に入力されるように、前記所定数の論理回路を前記所定のタイミングで巡回的に能動化する第 2 の制御手段とを含み、

前記デジタルマッチトフィルタは、

前記逆拡散処理のための拡散符号系列を生成する拡散符号生成手段と、

前記所定数の記憶回路に並列に保持されている前記受信信号系列のサンプルと、前記拡散符号系列との相関値を算出する相関値演算手段とをさらに備え、

前記相関値演算手段は、

前記所定数の記憶回路に保持されているサンプルの一部と、前記生成された拡散符号系列のうち前記サンプルの一部に対応する拡散符号との相関値を算出する第 1 の積和演算手段と、

前記所定数の記憶回路に保持されているサンプルの残りのサンプルと、前記生成された拡散符号系列のうち前記残りのサンプルに対応する拡散符号との相関値を算出する第 2 の積和演算手段と、

前記第 1 の積和演算手段の出力相関値が所定の閾値を超えたか否かを判定し、前記第 1 の積和演算手段の出力相関値が前記所定の閾値を超えないと判定され

ば、前記第 2 の積和演算手段の演算動作を停止する判定手段とを含む、デジタルマッチトフィルタ。

【請求項 6】 前記所定数の論理回路の各々の負荷容量が、前記所定数の記憶回路の各々の負荷容量よりも小さい、請求項 5 に記載のデジタルマッチトフィルタ。

【請求項 7】 送信側で拡散処理が施されている受信信号系列に対して受信側で逆拡散処理を行なうためのデジタルマッチトフィルタであって、

時系列的に入力される前記受信信号系列を構成するサンプルを順次保持するための受信信号保持手段を備え、

前記受信信号保持手段は、

前記時系列的に入力される受信信号系列を第 1 の所定数のサンプルだけ並列に保持するための前記第 1 の所定数の記憶回路を含み、前記第 1 の所定数の記憶回路は、第 2 の所定数のグループに分割され、

前記第 1 の所定数の記憶回路のそれぞれの前段に設けられ、各々が能動化されたときに対応する前記記憶回路への入力信号を通過させ、それ以外ときには入力信号をマスクする、前記第 1 の所定数の論理回路と、

前記時系列的に入力される受信信号系列のサンプルが前記第 1 の所定数の記憶回路に所定のタイミングで巡回的に書込まれるように、前記第 1 の所定数の記憶回路を前記所定のタイミングで巡回的に書込み可能状態にする第 1 の制御手段と

前記時系列的に入力される受信信号系列のサンプルが前記第 1 の所定数の記憶回路に前記所定のタイミングで巡回的に入力されるように、前記第 1 の所定数の論理回路を前記所定のタイミングで巡回的に能動化する第 2 の制御手段とをさらに含み、

前記デジタルマッチトフィルタは、

前記逆拡散処理のための拡散符号系列を生成する拡散符号生成手段と、

前記第 2 の所定数のグループごとに対応して設けられ、各々が、対応するグループの記憶回路に並列に保持されているサンプルと、前記拡散符号系列との相関値を算出する、前記第 2 の所定数の相関値演算手段とをさらに備え、

前記第 2 の所定数の相関値演算手段の各々は、

対応するグループの記憶回路に保持されているサンプルの一部と、前記生成された拡散符号系列のうち前記サンプルの一部に対応する拡散符号との相関値を算出する第 1 の積和演算手段と、

前記対応する記憶回路に保持されているサンプルの残りのサンプルと、前記生成された拡散符号系列のうち前記残りのサンプルに対応する拡散符号との相関値を算出する第 2 の積和演算手段と、

前記第 1 の積和演算手段の出力相関値が所定の閾値を超えたか否かを判定し、前記第 1 の積和演算手段の出力相関値が前記所定の閾値を超えないと判定されれば、前記第 2 の積和演算手段の演算動作を停止する判定手段とを含み、

前記デジタルマッチトフィルタは、

前記第 2 の所定数の相関値演算手段のそれぞれの出力相関値を 1 系統の出力相関値として時系列的に順次出力する出力制御手段をさらに備えた、デジタルマッチトフィルタ。

【請求項 8】 前記所定数の論理回路の各々の負荷容量が、前記所定数の記憶回路の各々の負荷容量よりも小さい、請求項 7 に記載のデジタルマッチトフィルタ。

【請求項 9】 デジタル無線通信の携帯無線端末であって、

受信デジタルデータを復調する受信系モデム手段と、

前記受信系モデム手段の受信信号を処理して出力する信号処理手段とを備え、

前記受信系モデム手段は、送信側で拡散処理が施されている受信信号系列に対して受信側で逆拡散処理を行なうためのデジタルマッチトフィルタを含み、

前記デジタルマッチトフィルタは、

時系列的に入力される前記受信信号系列を構成するサンプルを所定数のサンプルだけ順次保持する受信信号保持手段と、

前記逆拡散処理のための拡散符号系列を生成する拡散符号生成手段と、

前記受信信号保持手段に保持されている前記所定数のサンプルと、前記生成された拡散符号系列との相関値を算出する相関値演算手段とを含み、

前記相関値演算手段は、

前記受信信号保持手段に保持されている所定数のサンプルの一部と、前記生成された拡散符号系列のうち前記サンプルの一部に対応する拡散符号との相関値を算出する第 1 の積和演算手段と、

前記受信信号保持手段に保持されている所定数のサンプルの残りのサンプルと、前記生成された拡散符号系列のうち前記残りのサンプルに対応する拡散符号との相関値を算出する第 2 の積和演算手段と、

前記第 1 の積和演算手段の出力相関値が所定の閾値を超えたか否かを判定し、前記第 1 の積和演算手段の出力相関値が前記所定の閾値を超えないと判定されれば、前記第 2 の積和演算手段の演算動作を停止する判定手段とを有する、携帯無線端末。

【請求項 1 0】 デジタル無線通信の携帯無線端末であって、

受信デジタルデータを復調する受信系モデム手段と、

前記受信系モデム手段の受信信号を処理して出力する信号処理手段とを備え、

前記受信系モデム手段は、送信側で拡散処理が施されている受信信号系列に対して受信側で逆拡散処理を行なうためのデジタルマッチトフィルタを含み、

前記デジタルマッチトフィルタは、

時系列的に入力される前記受信信号系列を構成するサンプルを順次保持するための受信信号保持手段を含み、

前記受信信号保持手段は、

前記時系列的に入力される受信信号系列を所定数のサンプルだけ並列に保持するための前記所定数の記憶回路と、

前記所定数の記憶回路のそれぞれの前段に設けられ、各々が能動化されたときに対応する前記記憶回路への入力信号を通過させ、それ以外のときには入力信号をマスクする、前記所定数の論理回路と、

前記時系列的に入力される受信信号系列のサンプルが前記所定数の記憶回路に所定のタイミングで巡回的に書込まれるように、前記所定数の記憶回路を前記所定のタイミングで巡回的に書込み可能状態にする第 1 の制御手段と、

前記時系列的に入力される受信信号系列のサンプルが前記所定数の記憶回路に前記所定のタイミングで巡回的に入力されるように、前記所定数の論理回路を前

記所定のタイミングで巡回的に能動化する第 2 の制御手段とを有し、

前記デジタルマッチトフィルタは、

前記逆拡散処理のための拡散符号系列を生成する拡散符号生成手段と、

前記所定数の記憶回路に並列に保持されている前記受信信号系列のサンプルと、前記拡散符号系列との相関値を算出する相関値演算手段とをさらに含む、携帯無線端末。

【請求項 1 1】 前記所定数の論理回路の各々の負荷容量が、前記所定数の記憶回路の各々の負荷容量よりも小さい、請求項 1 0 に記載の携帯無線端末。

【請求項 1 2】 デジタル無線通信の携帯無線端末であって、

受信デジタルデータを復調する受信系モデム手段と、

前記受信系モデム手段の受信信号を処理して出力する信号処理手段とを備え、

前記受信系モデム手段は、送信側で拡散処理が施されている受信信号系列に対して受信側で逆拡散処理を行なうためのデジタルマッチトフィルタを含み、

前記デジタルマッチトフィルタは、

時系列的に入力される前記受信信号系列を構成するサンプルを第 1 の所定数のサンプルだけ順次保持する受信信号保持手段を含み、前記保持される第 1 の所定数のサンプルは、第 2 の所定数のグループに分割され、

前記逆拡散処理のための拡散符号系列を生成する拡散符号生成手段と、

前記第 2 の所定数のグループごとに対応して設けられ、各々が、対応するグループのサンプルと、前記拡散符号系列との相関値を算出する、前記第 2 の所定数の相関値演算手段と、

前記第 2 の所定数の相関値演算手段のそれぞれの出力相関値を 1 系統の出力相関値として時系列的に順次出力する出力制御手段とをさらに含む、携帯無線端末。

【請求項 1 3】 デジタル無線通信の携帯無線端末であって、

受信デジタルデータを復調する受信系モデム手段と、

前記受信系モデム手段の受信信号を処理して出力する信号処理手段とを備え、

前記受信系モデム手段は、送信側で拡散処理が施されている受信信号系列に対して受信側で逆拡散処理を行なうためのデジタルマッチトフィルタを含み、

前記デジタルマッチトフィルタは、

時系列的に入力される前記受信信号系列を構成するサンプルを順次保持するための受信信号保持手段を含み、

前記受信信号保持手段は、

前記時系列的に入力される受信信号系列を所定数のサンプルだけ並列に保持するための前記所定数の記憶回路と、

前記所定数の記憶回路のそれぞれの前段に設けられ、各々が能動化されたときに対応する前記記憶回路への入力信号を通過させ、それ以外のときには入力信号をマスクする、前記所定数の論理回路と、

前記時系列的に入力される受信信号系列のサンプルが前記所定数の記憶回路に所定のタイミングで巡回的に書込まれるように、前記所定数の記憶回路を前記所定のタイミングで巡回的に書込み可能状態にする第 1 の制御手段と、

前記時系列的に入力される受信信号系列のサンプルが前記所定数の記憶回路に前記所定のタイミングで巡回的に入力されるように、前記所定数の論理回路を前記所定のタイミングで巡回的に能動化する第 2 の制御手段とを有し、

前記デジタルマッチトフィルタは、

前記逆拡散処理のための拡散符号系列を生成する拡散符号生成手段と、

前記所定数の記憶回路に並列に保持されている前記受信信号系列のサンプルと、前記拡散符号系列との相関値を算出する相関値演算手段とをさらに含み、

前記相関値演算手段は、

前記所定数の記憶回路に保持されているサンプルの一部と、前記生成された拡散符号系列のうち前記サンプルの一部に対応する拡散符号との相関値を算出する第 1 の積和演算手段と、

前記所定数の記憶回路に保持されているサンプルの残りのサンプルと、前記生成された拡散符号系列のうち前記残りのサンプルに対応する拡散符号との相関値を算出する第 2 の積和演算手段と、

前記第 1 の積和演算手段の出力相関値が所定の閾値を超えたか否かを判定し、前記第 1 の積和演算手段の出力相関値が前記所定の閾値を超えないと判定されれば、前記第 2 の積和演算手段の演算動作を停止する判定手段とを有する、携帯無

線端末。

【請求項14】 前記所定数の論理回路の各々の負荷容量が、前記所定数の記憶回路の各々の負荷容量よりも小さい、請求項13に記載の携帯無線端末。

【請求項15】 デジタル無線通信の携帯無線端末であって、
 受信デジタルデータを復調する受信系モデム手段と、
 前記受信系モデム手段の受信信号を処理して出力する信号処理手段とを備え、
 前記受信系モデム手段は、送信側で拡散処理が施されている受信信号系列に対して受信側で逆拡散処理を行なうためのデジタルマッチトフィルタを含み、
 前記デジタルマッチトフィルタは、
 時系列的に入力される前記受信信号系列を構成するサンプルを順次保持するための受信信号保持手段を含み、
 前記受信信号保持手段は、
 前記時系列的に入力される受信信号系列を第1の所定数のサンプルだけ並列に保持するための前記第1の所定数の記憶回路を有し、前記第1の所定数の記憶回路は、第2の所定数のグループに分割され、
 前記第1の所定数の記憶回路のそれぞれの前段に設けられ、各々が能動化されたときに対応する前記記憶回路への入力信号を通過させ、それ以外のときには入力信号をマスクする、前記第1の所定数の論理回路と、
 前記時系列的に入力される受信信号系列のサンプルが前記第1の所定数の記憶回路に所定のタイミングで巡回的に書込まれるように、前記第1の所定数の記憶回路を前記所定のタイミングで巡回的に書込み可能状態にする第1の制御手段と
 、
 前記時系列的に入力される受信信号系列のサンプルが前記第1の所定数の記憶回路に前記所定のタイミングで巡回的に入力されるように、前記第1の所定数の論理回路を前記所定のタイミングで巡回的に能動化する第2の制御手段とをさらに有し、
 前記デジタルマッチトフィルタは、
 前記逆拡散処理のための拡散符号系列を生成する拡散符号生成手段と、
 前記第2の所定数のグループごとに対応して設けられ、各々が、対応するグル

ープの記憶回路に並列に保持されているサンプルと、前記拡散符号系列との相関値を算出する、前記第 2 の所定数の相関値演算手段とをさらに含み、

前記第 2 の所定数の相関値演算手段の各々は、

対応するグループの記憶回路に保持されているサンプルの一部と、前記生成された拡散符号系列のうち前記サンプルの一部に対応する拡散符号との相関値を算出する第 1 の積和演算手段と、

前記対応する記憶回路に保持されているサンプルの残りのサンプルと、前記生成された拡散符号系列のうち前記残りのサンプルに対応する拡散符号との相関値を算出する第 2 の積和演算手段と、

前記第 1 の積和演算手段の出力相関値が所定の閾値を超えたか否かを判定し、前記第 1 の積和演算手段の出力相関値が前記所定の閾値を超えないと判定されれば、前記第 2 の積和演算手段の演算動作を停止する判定手段とを有し、

前記デジタルマッチトフィルタは、

前記第 2 の所定数の相関値演算手段のそれぞれの出力相関値を 1 系統の出力相関値として時系列的に順次出力する出力制御手段をさらに含む、携帯無線端末。

【請求項 1 6】 前記所定数の論理回路の各々の負荷容量が、前記所定数の記憶回路の各々の負荷容量よりも小さい、請求項 1 5 に記載の携帯無線端末。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、デジタルマッチトフィルタおよびデジタルマッチトフィルタを用いた携帯無線端末に関し、より特定的には、スペクトル直接拡散通信システムにおいて、受信側で逆拡散処理を行なうためのデジタルマッチトフィルタ、およびそのようなデジタルマッチトフィルタを含む携帯無線端末に関する。

【0 0 0 2】

【従来の技術】

従来、たとえば CDMA (Code Division Multiple Access) 方式のようなデジタル無線通信においては、ユーザごとに固有の拡散符号系列で送信デジタルデータをスクランブルして送出し、受信側では逆拡散符号系列で受信デジタルデー

タをデスクランブルするスペクトル直接拡散通信方式が採用されている。

【0003】

このようなスペクトル直接拡散通信方式を用いたデジタル無線通信の送信側には、拡散符号系列を生成して送信デジタルデータをスクランブルするための拡散部が設けられる。一方、受信側には、拡散符号系列のレプリカ信号を生成して受信デジタルデータをデスクランブルするための逆拡散部が設けられる。

【0004】

このスペクトル直接拡散通信システムにおいては、送信側における拡散符号生成のタイミングに、受信側における拡散符号生成のタイミングを同期させる必要がある。

【0005】

図14は、上述のようなスペクトル直接拡散通信システムにおける送信機および受信機の基本構成を示す概略ブロック図である。

【0006】

図14を参照して、スペクトル直接拡散通信システムは、基本的に、送信機60と、受信機65とで構成される。

【0007】

送信機60において、送信されるべき原信号は、一次変調器61に与えられ、電波の有効利用の観点から、信号の狭帯域化が図られている。

【0008】

一次変調器61の出力は、拡散部62に与えられ、その内部に設けられた図示しない拡散符号生成部から与えられる拡散符号系列によって拡散すなわちスクランブル（2次変調）される。

【0009】

拡散部62の出力は、図示しない送信回路によって無線送信に必要な処理が施された後、アンテナ63を介して送信される。

【0010】

アンテナ63から送信された信号は、受信機65のアンテナ64によって受信され、図示しない受信回路によって無線受信に必要な処理が施された後、逆拡散

部 66 に与えられる。

【0011】

逆拡散部 66 は、その内部に設けられた図示しない拡散符号生成部から与えられる、受信側の拡散符号系列に同期したレプリカ信号によって受信信号を逆拡散すなわちデスクランブルする。

【0012】

これによって、逆拡散部 66 から原信号が取り出され、復調部 67 によって原信号が復調されることになる。

【0013】

このように、送信機側と同期した逆拡散処理を受信機側で行なうためには、受信機側の逆拡散部 66 において、受信機側の拡散符号系列の送信機側とのずれをなくすように、受信機側の拡散符号系列をシフトすることにより送信機側の拡散符号系列との初期同期を取る必要がある。

【0014】

図 15 は、このような初期同期を行なう従来の初期同期回路およびその制御回路を示す概略ブロック図である。

【0015】

図 15 に示した初期同期回路 70 および制御回路 80 は、図 14 の逆拡散部 66 内に含まれている。初期同期回路 70 は、デジタルマッチトフィルタ 71 と、巡回積分部 72 と、同期捕捉判定部 73 とを備えている。

【0016】

デジタルマッチトフィルタ 71 は、受信信号と拡散符号との相関値ピークの検出速度が優れているため採用されるものであり、デジタルマッチトフィルタについては、たとえば、田近による信学技報 SST 62-21 の「スペクトル拡散通信におけるデジタルマッチトフィルタ技術とその問題点」に詳細に説明されている。

【0017】

デジタルマッチトフィルタ 71 は、入力された受信信号と、内部で生成される拡散符号系列のレプリカ信号との相関値を演算して逆拡散信号として出力する。

出力された逆拡散信号は図14の復調部67に与えられるとともに、巡回積分部72に与えられる。従来のデジタルマッチトフィルタ71の詳細な構成および動作については後述する。

【0018】

なお、拡散符号系列は、一定の繰返し周期で繰返される拡散符号で構成され、この拡散符号の繰返し周期のことを以下に「フレーム」と称することとする。

【0019】

巡回積分部72は、ノイズの除去、相関値のピーク値の検出精度の向上を図るために、デジタルマッチトフィルタ71から出力される相関値を、拡散符号系列の数フレーム期間にわたって積分することにより、相関値の平均化を実行する。

【0020】

ここで、情報1ビット当たりの受信信号のエネルギーを E_b とし、1Hz当たりのノイズおよび干渉信号の密度を N_0 とすると、 E_b/N_0 が高ければ、受信信号のエネルギーが相対的に大きいため、各フレームにおける相関値のピーク値を検出することは容易である。しかしながら、 E_b/N_0 が低ければ、受信信号のエネルギーが相対的に小さいため、そのままでは各フレームにおける相関値のピーク値を検出することは困難である。

【0021】

そこで、複数フレームの相関値の平均化を行なうことにより、たとえ E_b/N_0 が低くても、相関値のピークの検出の精度を向上させることができる。このような巡回積分を用いたデジタルマッチトフィルタについては、たとえば、田近他による信学技報SST96-26の「4相相関器を用いたDS/GMSK/PSK方式とスペクトル拡散復調用LSI」に詳細に説明されている。

【0022】

図15に戻って、巡回積分部72で得られた相関値の積分値は、同期捕捉判定部73に与えられる。同期捕捉判定部73は、与えられた相関値の積分値が、予め内部に設定されている閾値を超えているか否かを判定する。

【0023】

すなわち、平均によって得られた相関値ピークが閾値を越えている場合には、

越えていることを示す信号（たとえば「1」）を制御部80に与え、閾値を超える相関値ピークが存在しない場合には、そのことを示す信号（たとえば「0」）を制御部80に与える。

【0024】

制御部80は、同期捕捉判定部73から与えられる信号が「1」であれば、送信側と受信側との拡散符号系列の位相差が、デジタルマッチトフィルタ71の動作周波数分の1の誤差以内に引き込まれたものとして、すなわち粗同期が達成されたとして、逆拡散用の拡散符号系列生成のタイミングを維持するようにデジタルマッチトフィルタ71の拡散符号系列の生成タイミングを制御する。

【0025】

一方、制御部80は、同期捕捉判定部73から与えられる信号が「0」であれば、送信側と受信側との拡散符号系列の位相差が、デジタルマッチトフィルタ71の動作周波数分の1の誤差以内に引き込まれていないものとして、すなわち粗同期が達成されていないものとして、粗同期を達成するよう逆拡散用の拡散符号系列生成のタイミングをシフトさせるようにデジタルマッチトフィルタ71の拡散符号系列の生成タイミングを制御する。拡散符号生成タイミングの制御は、より具体的には、拡散符号レジスタ値（タップ係数）を書き換えたり、受信信号蓄積レジスタ値を更新することにより行なわれる。

【0026】

制御部80は、粗同期の達成後も同期捕捉判定回路73の出力を監視し、粗同期を維持するようにデジタルマッチトフィルタ71の拡散符号系列の生成タイミングを制御する。これにより、初期同期が達成されることになる。

【0027】

以下に、図15に示したデジタルマッチトフィルタ71の構成および動作について詳細に説明する。

【0028】

図16は、デジタルマッチトフィルタ71の一例としてのトランスバーサル型フィルタの構成を示すブロック図である。図16を参照して、拡散符号レプリカ発生器71aでは、システムに固有のある初期値が、所定の生成多項式に基づい

て構成されたシフトレジスタ（図示せず）に設定され、初期値を基に所定回数シフト動作させた後の符号から順次連続して、送信側および受信側で既知の拡散符号系列として出力していくように構成されている。

【0029】

そして、拡散符号レプリカ発生器 71 a で生成された拡散符号の 1 フレーム分のチップを、入力用拡散符号レジスタ 71 b に拡散符号のチップ速度で入力し、そこに格納する。この入力用拡散符号レジスタ 71 b に格納された拡散符号の 1 フレーム分のチップは、演算用拡散符号レジスタ 71 c に転送され、そこに格納される。

【0030】

一方、各々 n ビット（ n は $n \geq 1$ の整数）に量子化されたサンプルからなる受信信号が、拡散符号のチップ速度の M （ M は ≥ 1 の整数）倍のオーバサンプリング速度でオーバサンプリングされて受信信号蓄積レジスタ 71 d に時系列的に入力され、拡散符号の 1 フレーム分のチップ数（以下、拡散符号長）の M 倍に相当する符号長の受信信号サンプルが順次格納される。図 16 に示した例では、説明の簡略化のため、 $M = 2$ の場合について説明するものとする。

【0031】

あるタイミングで、シフトレジスタである受信信号蓄積レジスタ 71 d に蓄積された拡散符号長の 2 倍のサンプル数の受信信号系列のうち、初段のレジスタから一段おきの（奇数段の）各レジスタに保持されているサンプルが並列に出力され（タップ出力）、乗算部 71 e を構成する対応する乗算器の一方入力に与えられる。

【0032】

一方、演算用拡散符号レジスタ 71 c に格納されている拡散符号の 1 フレーム分のチップが並列に出力され（タップ係数）、乗算部 71 e を構成する対応する乗算器の他方入力に与えられる。

【0033】

乗算部 71 e を構成するすべての乗算器の出力は、加算部 71 f で加算され、その時点での相関値として出力される。

【0034】

次のタイミングで受信信号系列の次のサンプルが受信信号蓄積レジスタ71dに入力され、各段に保持されていたサンプルは次段にシフトされる。このタイミングで、シフトレジスタ71dの奇数段のレジスタに保持されているサンプル（タップ出力）と、シフトレジスタ71cに固定されている拡散符号の1フレーム分のチップ（タップ係数）とが乗算部71eにおいて乗算され、その結果の総和が加算部71fにより算出され、相関値出力として出力される。

【0035】

このように図16のデジタルマッチトフィルタ71では、拡散符号のチップ速度の2倍のサンプル速度で受信信号蓄積レジスタ71dに入力された受信信号サンプルは、一段おきにタップ出力として相関値算出の対象とされるが、後続のサンプルが入力されて各段のサンプルがシフトされるごとに相関値算出演算は行なわれるため、オーバサンプリングされた入力受信信号のすべてのサンプルが相関値算出演算の対象となる。

【0036】

なお、演算用拡散符号レジスタ71cに格納される拡散符号のチップ数は、必ずしも1フレーム分の拡散符号長でなくともよい。すなわち、1フレームの一部分の拡散符号であっても、そのチップ数に対応する受信信号サンプルとの相関値を算出すれば、同期位置でピークを示すため、部分同士の積和演算により同期位置の捕捉が可能となる。

【0037】

その場合、演算用拡散符号レジスタ71cに1フレームの一部分の拡散符号を固定して相関値演算を続行し、その間に1フレームの他の部分の拡散符号を入力用拡散符号レジスタ71bに格納しておき、必要に応じて、レジスタ71cの拡散符号をレジスタ71bの拡散符号で置換えることもできる。

【0038】

【発明が解決しようとする課題】

図16に示した従来のデジタルマッチトフィルタでは、受信信号蓄積レジスタ71dにオーバサンプリング速度で受信信号系列の各サンプルが入力されること

に、すなわちレジスタ71dに一旦格納されるすべての受信信号サンプルに対して、乗算部71eおよび加算部71fによって受信信号と拡散符号との積和演算が実行されるため、毎回の積和演算に多くの論理回路が動作することとなり、デジタルマッチトフィルタ全体の消費電力が著しく増大するという問題があった。

【0039】

また、図16の従来のデジタルマッチトフィルタでは、受信信号蓄積レジスタ71dは、拡散符号長のM倍のサンプル数の受信信号を保持するため、非常に段数の多いシフトレジスタで構成されることになり、データサンプルの連続的なシフト動作により消費電力が増大することになる。

【0040】

このため、受信信号蓄積用のレジスタを、シフトレジスタではなく、入力受信信号に対して並列に設けられた複数のレジスタで構成し、時系列的に入力される受信信号系列のサンプルを上記複数のレジスタに所定のタイミングで巡回的に書込むように構成されたデジタルマッチトフィルタが提案されており、たとえば、特開平10-285079号公報に開示されている。

【0041】

しかしながら、このような構成のデジタルマッチトフィルタでは、入力された受信信号サンプルが、入力受信信号に対して並列に設けられた複数のレジスタに共通に与えられることになるため、本来の書込みタイミングにないレジスタにもサンプルデータが入力されることになる。書込みタイミングがなく、能動化されていないレジスタであっても、入力信号があれば当該レジスタには消費電力が発生することになる。したがって、シフトレジスタを使用しないこのようなデジタルマッチトフィルタであっても、全体として消費電力が増大することとなる。

【0042】

さらに、図16に示す従来のデジタルマッチトフィルタでは、オーバサンプリング速度で入力される受信信号と拡散符号との積和演算を行なうための回路71eおよび71fは、非常に高速の動作周波数で動作することとなり、これらの回路における消費電力が増大し、デジタルマッチトフィルタ全体の消費電力が増大するという問題があった。

【0043】

それゆえに、この発明の目的は、受信信号と拡散符号との相関値のピーク検出の精度を維持しつつ、消費電力の低減を図ったデジタルマッチトフィルタおよびそのようなデジタルマッチトフィルタを用いた携帯無線端末を提供することである。

【0044】

この発明の他の目的は、受信信号と拡散符号との相関値がピーク値となる可能性のある場合にのみ積和演算をすべて行なうことにより、相関値算出のための回路の消費電力の低減を図ったデジタルマッチトフィルタおよびそのようなデジタルマッチトフィルタを用いた携帯無線端末を提供することである。

【0045】

この発明のさらに他の目的は、受信信号蓄積レジスタを構成する並列レジスタのうち、本来の書込みタイミングにあるレジスタ以外のレジスタの入力をマスクすることにより、並列レジスタにおける消費電力の低減を図ったデジタルマッチトフィルタおよびそのようなデジタルマッチトフィルタを用いた携帯無線端末を提供することである。

【0046】

この発明のさらに他の目的は、相関値演算のための回路を、並列に複数系列設けることにより、各相関値演算回路の動作周波数を下げて消費電力の低減を図ったデジタルマッチトフィルタおよびそのようなデジタルマッチトフィルタを用いた携帯無線端末を提供することである。

【0047】

【課題を解決するための手段】

この発明は、送信側で拡散処理が施されている受信信号系列に対して受信側で逆拡散処理を行なうためのデジタルマッチトフィルタであって、受信信号保持手段と、拡散符号生成手段と、相関値演算手段とを備える。受信信号保持手段は、時系列的に入力される受信信号系列を構成するサンプルを所定数のサンプルだけ順次保持する。拡散符号生成手段は、逆拡散処理のための拡散符号系列を生成する。相関値演算手段は、受信信号保持手段に保持されている所定数のサンプルと

、生成された拡散符号系列との相関値を算出する。相関値演算手段は、受信信号保持手段に保持されている所定数のサンプルの一部と、生成された拡散符号系列のうちサンプルの一部に対応する拡散符号との相関値を算出する第1の積和演算手段と、受信信号保持手段に保持されている所定数のサンプルの残りのサンプルと、生成された拡散符号系列のうち残りのサンプルに対応する拡散符号との相関値を算出する第2の積和演算手段と、第1の積和演算手段の出力相関値が所定の閾値を超えたか否かを判定し、第1の積和演算手段の出力相関値が前記所定の閾値を超えないと判定されれば、第2の積和演算手段の演算動作を停止する判定手段とを含む。

【0048】

この発明の他の局面によれば、送信側で拡散処理が施されている受信信号系列に対して受信側で逆拡散処理を行なうためのデジタルマッチトフィルタは、時系列的に入力される受信信号系列を構成するサンプルを順次保持するための受信信号保持手段を備える。受信信号保持手段は、時系列的に入力される受信信号系列を所定数のサンプルだけ並列に保持するための所定数の記憶回路と、所定数の記憶回路のそれぞれの前段に設けられ、各々が能動化されたときに対応する記憶回路への入力信号を通過させ、それ以外のときには入力信号をマスクする、所定数の論理回路と、時系列的に入力される受信信号系列のサンプルが所定数の記憶回路に所定のタイミングで巡回的に書込まれるように、所定数の記憶回路を所定のタイミングで巡回的に書込み可能状態にする第1の制御手段と、時系列的に入力される受信信号系列のサンプルが所定数の記憶回路に所定のタイミングで巡回的に入力されるように、所定数の論理回路を所定のタイミングで巡回的に能動化する第2の制御手段とを含む。デジタルマッチトフィルタは、逆拡散処理のための拡散符号系列を生成する拡散符号生成手段と、所定数の記憶回路に並列に保持されている受信信号系列のサンプルと、拡散符号系列との相関値を算出する相関値演算手段とをさらに備える。

【0049】

好ましくは、所定数の論理回路の各々の負荷容量が、所定数の記憶回路の各々の負荷容量よりも小さい。

【 0 0 5 0 】

この発明のさらに他の局面によれば、送信側で拡散処理が施されている受信信号系列に対して受信側で逆拡散処理を行なうためのデジタルマッチトフィルタは、受信信号保持手段と、拡散符号生成手段と、第2の所定数の相関値演算手段と、出力制御手段とを備える。受信信号保持手段は、時系列的に入力される受信信号系列を構成するサンプルを第1の所定数のサンプルだけ順次保持し、保持される第1の所定数のサンプルは、第2の所定数のグループに分割される。拡散符号生成手段は、逆拡散処理のための拡散符号系列を生成する。第2の所定数の相関値演算手段は、第2の所定数のグループごとに対応して設けられ、各々が、対応するグループのサンプルと、拡散符号系列との相関値を算出する。出力制御手段は、第2の所定数の相関値演算手段のそれぞれの出力相関値を1系統の出力相関値として時系列的に順次出力する。

【 0 0 5 1 】

この発明のさらに他の局面によれば、送信側で拡散処理が施されている受信信号系列に対して受信側で逆拡散処理を行なうためのデジタルマッチトフィルタは、時系列的に入力される受信信号系列を構成するサンプルを順次保持するための受信信号保持手段を備える。受信信号保持手段は、時系列的に入力される受信信号系列を所定数のサンプルだけ並列に保持するための所定数の記憶回路と、所定数の記憶回路のそれぞれの前段に設けられ、各々が能動化されたときに対応する記憶回路への入力信号を通過させ、それ以外のときには入力信号をマスクする、所定数の論理回路と、時系列的に入力される受信信号系列のサンプルが所定数の記憶回路に所定のタイミングで巡回的に書込まれるように、所定数の記憶回路を所定のタイミングで巡回的に書込み可能状態にする第1の制御手段と、時系列的に入力される受信信号系列のサンプルが所定数の記憶回路に所定のタイミングで巡回的に入力されるように、所定数の論理回路を所定のタイミングで巡回的に能動化する第2の制御手段とを含む。デジタルマッチトフィルタは、逆拡散処理のための拡散符号系列を生成する拡散符号生成手段と、所定数の記憶回路に並列に保持されている受信信号系列のサンプルと、拡散符号系列との相関値を算出する相関値演算手段とをさらに備える。相関値演算手段は、所定数の記憶回路に保持さ

れているサンプルの一部と、生成された拡散符号系列のうちサンプルの一部に対応する拡散符号との相関値を算出する第1の積和演算手段と、所定数の記憶回路に保持されているサンプルの残りのサンプルと、生成された拡散符号系列のうち残りのサンプルに対応する拡散符号との相関値を算出する第2の積和演算手段と、第1の積和演算手段の出力相関値が所定の閾値を超えたか否かを判定し、第1の積和演算手段の出力相関値が所定の閾値を超えないと判定されれば、第2の積和演算手段の演算動作を停止する判定手段とを含む。

【 0 0 5 2 】

好ましくは、所定数の論理回路の各々の負荷容量が、所定数の記憶回路の各々の負荷容量よりも小さい。

【 0 0 5 3 】

この発明のさらに他の局面によれば、送信側で拡散処理が施されている受信信号系列に対して受信側で逆拡散処理を行なうためのデジタルマッチトフィルタは、時系列的に入力される受信信号系列を構成するサンプルを順次保持するための受信信号保持手段を備える。受信信号保持手段は、時系列的に入力される受信信号系列を第1の所定数のサンプルだけ並列に保持するための第1の所定数の記憶回路を含み、第1の所定数の記憶回路は、第2の所定数のグループに分割される。受信信号保持手段は、第1の所定数の記憶回路のそれぞれの前段に設けられ、各々が能動化されたときに対応する記憶回路への入力信号を通過させ、それ以外のときには入力信号をマスクする、第1の所定数の論理回路と、時系列的に入力される受信信号系列のサンプルが第1の所定数の記憶回路に所定のタイミングで巡回的に書込まれるように、第1の所定数の記憶回路を所定のタイミングで巡回的に書込み可能状態にする第1の制御手段と、時系列的に入力される受信信号系列のサンプルが前記第1の所定数の記憶回路に所定のタイミングで巡回的に入力されるように、第1の所定数の論理回路を所定のタイミングで巡回的に能動化する第2の制御手段とをさらに含む。デジタルマッチトフィルタは、逆拡散処理のための拡散符号系列を生成する拡散符号生成手段と、第2の所定数のグループごとに対応して設けられ、各々が、対応するグループの記憶回路に並列に保持されているサンプルと、拡散符号系列との相関値を算出する、第2の所定数の相関値

演算手段とをさらに備える。第 2 の所定数の相関値演算手段の各々は、対応するグループの記憶回路に保持されているサンプルの一部と、生成された拡散符号系列のうちサンプルの一部に対応する拡散符号との相関値を算出する第 1 の積和演算手段と、対応する記憶回路に保持されているサンプルの残りのサンプルと、生成された拡散符号系列のうち残りのサンプルに対応する拡散符号との相関値を算出する第 2 の積和演算手段と、第 1 の積和演算手段の出力相関値が所定の閾値を超えたか否かを判定し、第 1 の積和演算手段の出力相関値が所定の閾値を超えないと判定されれば、第 2 の積和演算手段の演算動作を停止する判定手段とを含む。デジタルマッチトフィルタは、第 2 の所定数の相関値演算手段のそれぞれの出力相関値を 1 系統の出力相関値として時系列的に順次出力する出力制御手段をさらに備える。

【 0 0 5 4 】

好ましくは、所定数の論理回路の各々の負荷容量が、所定数の記憶回路の各々の負荷容量よりも小さい。

【 0 0 5 5 】

この発明のさらに他の局面によれば、デジタル無線通信の携帯無線端末は、受信デジタルデータを復調する受信系モデム手段と、受信系モデム手段の受信信号を処理して出力する信号処理手段とを備える。受信系モデム手段は、送信側で拡散処理が施されている受信信号系列に対して受信側で逆拡散処理を行なうためのデジタルマッチトフィルタを含み、デジタルマッチトフィルタは、受信信号保持手段と、拡散符号生成手段と、相関値演算手段とを含む。受信信号保持手段は、時系列的に入力される受信信号系列を構成するサンプルを所定数のサンプルだけ順次保持する。拡散符号生成手段は、逆拡散処理のための拡散符号系列を生成する。相関値演算手段は、受信信号保持手段に保持されている所定数のサンプルと、生成された拡散符号系列との相関値を算出する。相関値演算手段は、受信信号保持手段に保持されている所定数のサンプルの一部と、生成された拡散符号系列のうちサンプルの一部に対応する拡散符号との相関値を算出する第 1 の積和演算手段と、受信信号保持手段に保持されている所定数のサンプルの残りのサンプルと、生成された拡散符号系列のうち残りのサンプルに対応する拡散符号との相関

値を算出する第 2 の積和演算手段と、第 1 の積和演算手段の出力相関値が所定の閾値を超えたか否かを判定し、第 1 の積和演算手段の出力相関値が所定の閾値を超えないと判定されれば、第 2 の積和演算手段の演算動作を停止する判定手段とを有する。

【 0 0 5 6 】

この発明の他の局面によれば、デジタル無線通信の携帯無線端末は、受信デジタルデータを復調する受信系モデム手段と、受信系モデム手段の受信信号を処理して出力する信号処理手段とを備える。受信系モデム手段は、送信側で拡散処理が施されている受信信号系列に対して受信側で逆拡散処理を行なうためのデジタルマッチトフィルタを含み、デジタルマッチトフィルタは、時系列的に入力される受信信号系列を構成するサンプルを順次保持するための受信信号保持手段を含む。受信信号保持手段は、時系列的に入力される受信信号系列を所定数のサンプルだけ並列に保持するための所定数の記憶回路と、所定数の記憶回路のそれぞれの前段に設けられ、各々が能動化されたときに対応する記憶回路への入力信号を通過させ、それ以外ときには入力信号をマスクする、所定数の論理回路と、時系列的に入力される受信信号系列のサンプルが所定数の記憶回路に所定のタイミングで巡回的に書込まれるように、所定数の記憶回路を所定のタイミングで巡回的に書込み可能状態にする第 1 の制御手段と、時系列的に入力される受信信号系列のサンプルが所定数の記憶回路に所定のタイミングで巡回的に入力されるように、所定数の論理回路を所定のタイミングで巡回的に能動化する第 2 の制御手段とを有する。デジタルマッチトフィルタは、逆拡散処理のための拡散符号系列を生成する拡散符号生成手段と、所定数の記憶回路に並列に保持されている受信信号系列のサンプルと、拡散符号系列との相関値を算出する相関値演算手段とをさらに含む。

【 0 0 5 7 】

好ましくは、所定数の論理回路の各々の負荷容量が、所定数の記憶回路の各々の負荷容量よりも小さい。

【 0 0 5 8 】

この発明のさらに他の局面によれば、デジタル無線通信の携帯無線端末は、受

信デジタルデータを復調する受信系モデム手段と、受信系モデム手段の受信信号を処理して出力する信号処理手段とを備える。受信系モデム手段は、送信側で拡散処理が施されている受信信号系列に対して受信側で逆拡散処理を行なうためのデジタルマッチトフィルタを含み、デジタルマッチトフィルタは、受信信号保持手段と、拡散符号生成手段と、第2の所定数の相関値演算手段と、出力制御手段とを含む。受信信号保持手段は、時系列的に入力される受信信号系列を構成するサンプルを第1の所定数のサンプルだけ順次保持し、保持される第1の所定数のサンプルは、第2の所定数のグループに分割される。拡散符号生成手段は、逆拡散処理のための拡散符号系列を生成する。第2の所定数の相関値演算手段は、第2の所定数のグループごとに対応して設けられ、各々が、対応するグループのサンプルと、拡散符号系列との相関値を算出する。出力制御手段は、第2の所定数の相関値演算手段のそれぞれの出力相関値を1系統の出力相関値として時系列的に順次出力する。

【 0 0 5 9 】

この発明のさらに他の局面によれば、デジタル無線通信の携帯無線端末は、受信デジタルデータを復調する受信系モデム手段と、受信系モデム手段の受信信号を処理して出力する信号処理手段とを備える。受信系モデム手段は、送信側で拡散処理が施されている受信信号系列に対して受信側で逆拡散処理を行なうためのデジタルマッチトフィルタを含み、デジタルマッチトフィルタは、時系列的に入力される受信信号系列を構成するサンプルを順次保持するための受信信号保持手段を含む。受信信号保持手段は、時系列的に入力される受信信号系列を所定数のサンプルだけ並列に保持するための所定数の記憶回路と、所定数の記憶回路のそれぞれの前段に設けられ、各々が能動化されたときに対応する記憶回路への入力信号を通過させ、それ以外のときには入力信号をマスクする、所定数の論理回路と、時系列的に入力される受信信号系列のサンプルが所定数の記憶回路に所定のタイミングで巡回的に書込まれるように、所定数の記憶回路を所定のタイミングで巡回的に書込み可能状態にする第1の制御手段と、時系列的に入力される受信信号系列のサンプルが所定数の記憶回路に所定のタイミングで巡回的に入力されるように、所定数の論理回路を所定のタイミングで巡回的に能動化する第2の制

御手段とを有する。デジタルマッチトフィルタは、逆拡散処理のための拡散符号系列を生成する拡散符号生成手段と、所定数の記憶回路に並列に保持されている受信信号系列のサンプルと、拡散符号系列との相関値を算出する相関値演算手段とをさらに含む。相関値演算手段は、所定数の記憶回路に保持されているサンプルの一部と、生成された拡散符号系列のうちサンプルの一部に対応する拡散符号との相関値を算出する第1の積和演算手段と、所定数の記憶回路に保持されているサンプルの残りのサンプルと、生成された拡散符号系列のうち残りのサンプルに対応する拡散符号との相関値を算出する第2の積和演算手段と、第1の積和演算手段の出力相関値が所定の閾値を超えたか否かを判定し、第1の積和演算手段の出力相関値が所定の閾値を超えないと判定されれば、第2の積和演算手段の演算動作を停止する判定手段とを有する。

【0060】

好ましくは、所定数の論理回路の各々の負荷容量が、所定数の記憶回路の各々の負荷容量よりも小さい。

【0061】

この発明のさらに他の局面によれば、デジタル無線通信の携帯無線端末は、受信デジタルデータを復調する受信系モデム手段と、受信系モデム手段の受信信号を処理して出力する信号処理手段とを備える。受信系モデム手段は、送信側で拡散処理が施されている受信信号系列に対して受信側で逆拡散処理を行なうためのデジタルマッチトフィルタを含み、デジタルマッチトフィルタは、時系列的に入力される受信信号系列を構成するサンプルを順次保持するための受信信号保持手段を含む。受信信号保持手段は、時系列的に入力される受信信号系列を第1の所定数のサンプルだけ並列に保持するための第1の所定数の記憶回路を有し、第1の所定数の記憶回路は、第2の所定数のグループに分割される。受信信号保持手段は、第1の所定数の記憶回路のそれぞれの前段に設けられ、各々が能動化されたときに対応する記憶回路への入力信号を通過させ、それ以外ときには入力信号をマスクする、第1の所定数の論理回路と、時系列的に入力される受信信号系列のサンプルが第1の所定数の記憶回路に所定のタイミングで巡回的に書込まれるように、第1の所定数の記憶回路を所定のタイミングで巡回的に書込み可能状

態にする第1の制御手段と、時系列的に入力される受信信号系列のサンプルが第1の所定数の記憶回路に所定のタイミングで巡回的に入力されるように、第1の所定数の論理回路を所定のタイミングで巡回的に能動化する第2の制御手段とをさらに有する。デジタルマッチトフィルタは、逆拡散処理のための拡散符号系列を生成する拡散符号生成手段と、第2の所定数のグループごとに対応して設けられ、各々が、対応するグループの記憶回路に並列に保持されているサンプルと、拡散符号系列との相関値を算出する、第2の所定数の相関値演算手段とをさらに含む。第2の所定数の相関値演算手段の各々は、対応するグループの記憶回路に保持されているサンプルの一部と、生成された拡散符号系列のうちサンプルの一部に対応する拡散符号との相関値を算出する第1の積和演算手段と、対応する記憶回路に保持されているサンプルの残りのサンプルと、生成された拡散符号系列のうち残りのサンプルに対応する拡散符号との相関値を算出する第2の積和演算手段と、第1の積和演算手段の出力相関値が所定の閾値を超えたか否かを判定し、第1の積和演算手段の出力相関値が所定の閾値を超えないと判定されれば、第2の積和演算手段の演算動作を停止する判定手段とを有する。デジタルマッチトフィルタは、第2の所定数の相関値演算手段のそれぞれの出力相関値を1系統の出力相関値として時系列的に順次出力する出力制御手段をさらに含む。

【0062】

好ましくは、所定数の論理回路の各々の負荷容量が、所定数の記憶回路の各々の負荷容量よりも小さい。

【0063】

以上のように、この発明によれば、受信信号と拡散符号との相関値がピーク値となる可能性のある場合にのみ、相関値算出のための積和演算をすべて行ない、それ以外の場合には、積和演算を部分的にしか行なわないことにより、相関値算出のための積和演算回路の消費電力を著しく低減することができる。

【0064】

さらにこの発明によれば、受信信号蓄積レジスタを並列レジスタで構成し、そのうち、本来の書込みタイミングにあるレジスタ以外のレジスタの入力をマスクすることにより、書込みタイミングにない並列レジスタにおける不要な信号入力

による消費電力の発生を防止することができる。

【0065】

さらにこの発明によれば、相関値算出のための積和演算回路を、受信信号サンプルの複数のグループに対応して並列に複数系列設けることにより、各積和演算回路の動作周波数を下げることができ、相関値算出のための消費電力の低減を図ることができる。

【0066】

【発明の実施の形態】

以下、この発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

【0067】

図1は、この発明によるデジタルマッチトフィルタが適用される、デジタル無線通信の携帯無線端末の全体構成を示す概略ブロック図である。

【0068】

図1に示す携帯無線端末は、大きくは、アンテナ1と、無線処理部2と、ベースバンド処理部3と、マイクおよびスピーカからなる音声入出力装置4と、外部メモリ5と、LCDおよびキーからなる表示／入力装置6とから構成される。

【0069】

特に、ベースバンド処理部3は、モデム3aと、チャネルコーデック3bと、DSP3cと、CPU3dと、内部メモリ3eと、外部インターフェイス3fと、内部バス3gとを含んでいる。

【0070】

アンテナ1で受信した、図示しない基地局からの電波信号は、無線処理部2によってベースバンドの信号に変換され、ベースバンド処理部3に与えられる。

【0071】

ベースバンド処理部3において、受信信号はモデム3aによって復調され、さらにチャネルコーデック3bによって復号化されてDSP3cに与えられる。DSP3cは、受信信号をデータ処理して音声入出力装置4のスピーカを駆動し、受信信号を音声に変換する。

【 0 0 7 2 】

一方、音声入出力装置 4 のマイクで入力された音声は、DSP 3 c でデータ処理され、チャンネルコーデック 3 b に与えられる。チャンネルコーデック 3 b は与えられた音声信号を符号化してモデム 3 a に与え、モデム 3 a は与えられた送信信号を変調して無線処理部 2 に与える。無線処理部 2 は、送信信号に無線処理を施してアンテナ 1 を介して図示しない基地局に向かって送出する。

【 0 0 7 3 】

なお、モデム 3 a、チャンネルコーデック 3 b、および DSP 3 c には、内部バス 3 g を介して、CPU 3 d、内部メモリ 3 e、外部インタフェース 3 f とが接続されている。CPU 3 d は、内部メモリ 3 e に格納されているプログラムに従って図 1 の携帯無線端末全体の動作を制御する。また外部インタフェース 3 f は、外部メモリ 5 および表示／入力装置 6 とのインタフェースとして機能する。

【 0 0 7 4 】

〔実施の形態 1〕

図 2 は、図 1 に示した携帯無線端末に適用される、この発明の実施の形態 1 によるデジタルマッチトフィルタを示す概略ブロック図である。なお、図 1 4 に示した受信機 6 5 の逆拡散部 6 6（およびそこに含まれる図 1 5 の初期同期回路同期回路 7 0）および復調部 6 7 は、一般的には、図 1 の携帯無線端末のベースバンド処理部 3 のモデム 3 a 内の受信系モデム部（図示せず）を構成するものであり、図 2 に示す実施形態のデジタルマッチトフィルタ（図 1 5 の初期同期回路 7 0 に含まれる）も、この受信系モデム部に含まれているものとする。

【 0 0 7 5 】

図 2 を参照して、この発明の実施の形態 1 によるデジタルマッチトフィルタ 1 は、受信信号保持部 1 2 と、拡散符号生成部 1 3 と、相関値演算部 1 4 とを備えている。

【 0 0 7 6 】

以下に説明するこの実施の形態 1 では、受信信号の量子化ビット数を 3 とし（受信信号の各サンプルは 3 ビットで構成される）、拡散符号長（拡散符号の 1 フレームのチップ数）を 4 とし、受信信号のオーバーサンプリング数を 2 として、ス

ペクトル直接拡散通信が行なわれているものとする。

【0077】

受信信号保持部12は、時系列的に入力される受信信号系列を構成するサンプルを、拡散符号長 $4 \times$ オーバーサンプリング数 $2 = 8$ 個のサンプルだけ順次保持して、サンプル $R_0 \sim R_7$ （タップ出力）として並列に出力し、相関値演算部14に与える。

【0078】

拡散符号生成部13は、既知の拡散符号系列を生成し、所定の拡散符号長である4個の拡散符号 $C_0 \sim C_3$ （タップ係数）として並列に出力し、相関値演算部14に与える。

【0079】

相関値演算部14は、受信信号サンプル $R_0 \sim R_7$ と、拡散符号 $C_0 \sim C_3$ との積和演算を行ない、相関値を算出して出力する。

【0080】

図3は、受信信号保持部12の構成を詳細に示すブロック図である。図3を参照して、受信信号保持部12は、レジスタ制御部7と、拡散符号長 $4 \times$ オーバーサンプリング数 $2 = 8$ 個のサンプルを保持するための8個の受信信号蓄積レジスタ $8-0 \sim 8-7$ と、論理ゲート回路 $9-0 \sim 9-7$ とを備えている。

【0081】

受信信号蓄積レジスタ $8-0 \sim 8-7$ の各々は、各サンプルを構成する3ビットのデータ（最上位ビットMSB、第2位ビット2、最下位ビットLSB）をそれぞれ保持するための3個の記憶素子から構成される。

【0082】

受信信号蓄積レジスタ $8-0 \sim 8-7$ のそれぞれの前段には、論理ゲート回路 $9-0 \sim 9-7$ が対応して設けられている。論理ゲート回路 $9-0 \sim 9-7$ の各々は、各サンプルを構成する3ビットのデータに対応して3個のゲート論理素子から構成される。3個のゲート論理素子のそれぞれの一方入力には、時系列的に入力される受信信号の各サンプルを構成する3ビットデータが対応して入力される。

【0083】

ここで、レジスタ制御部7は、入力受信信号サンプルのサンプル速度に対応する速度のクロックパルスを受部から受けて、後述するマスク信号MSK0～MSK7を発生し、論理ゲート回路9-0～9-7の各々を構成する3個のゲート論理素子のそれぞれの他方入力には、対応するマスク信号が共通に入力される。

【0084】

論理ゲート回路9-0～9-7の各々の3個のゲート論理素子からの出力は、対応する受信信号蓄積レジスタを構成する3個の記憶素子のそれぞれの入力に与えられる。

【0085】

ここで、レジスタ制御部7は、上述のサンプル速度のクロックパルスを受けて、後述する制御クロック信号CLK0～CLK7を発生し、受信信号蓄積レジスタ8-0～8-7の各々を構成する3個の記憶素子のそれぞれの制御入力に与える。

【0086】

受信信号蓄積レジスタ8-0～8-7のそれぞれから出力される、各3ビットの受信信号サンプルR0～R7は、タップ出力として並列に取り出される。

【0087】

8個の受信信号蓄積レジスタ8-0～8-7には、時系列的に入力される受信信号サンプルが所定のタイミングで巡回的に書込まれる。このような受信信号蓄積レジスタの書込み動作について、以下に詳細に説明する。

【0088】

図4は、受信信号蓄積レジスタ8-0～8-7の書込み動作を制御するレジスタ制御部7の構成を示すブロック図である。図4を参照して、レジスタ制御部7は、制御クロック生成部7aと、マスク信号生成部7bとを備えている。

【0089】

制御クロック生成部7aは、8進カウンタ7cと、従属接続された7個の遅延素子11-1～11-7とを含んでいる。8進カウンタ7cは、上述の入力受信信号のサンプル速度のクロックパルスを8分周した制御クロックパルスCLK0

を生成する。この制御クロックパルスCLK0は、直接出力されるとともに、遅延素子11-1～11-7でそれぞれ1サンプル周期ずつ遅延され、制御クロックパルスCLK1～CLK7として出力される。

【0090】

このように生成された制御クロックパルスCLK0～CLK7は、図3の受信信号蓄積レジスタ8-0～8-7にそれぞれ与えられ、各制御クロックパルスは、対応する受信信号蓄積レジスタを構成する3個の記憶素子のそれぞれの制御入力に共通に与えられる。

【0091】

なお、制御クロックパルスCLK4～CLK7は、CLK0～CLK3を反転した信号で代用することができるため、その場合には図4において破線の結線で示すように遅延素子11-4～11-7を省略することができる。

【0092】

マスク信号生成部7bは、制御クロック生成部7aで生成された制御クロックパルスCLK0～CLK3に応じて、所定の真理値表に基づいてマスク信号MSK0～MSK7を発生する。

【0093】

図5は、このようなマスク信号生成部7bの真理値表の一例を示している。また、図6は、図5に示した真理値表を実現したマスク信号生成部7bの論理回路構成の一例を示すブロック図である。この例では、上述のように遅延素子11-4～11-7は省略されているものとする。

【0094】

図5において、入力信号である制御クロックパルスCLK0～CLK3の論理状態は、「H」（ハイレベル）および「L」（ローレベル）によって示される。一方、出力信号であるマスク信号MSK0～MSK7の論理状態は、論理値「1」および「0」によって示される。

【0095】

たとえば、マスク信号MSK5は、図5の真理値表の(5)、(7)、(13)、および(15)の場合、すなわち制御クロックパルスCLK0が「L」、C

CLK2が「H」の場合に、論理値「1」を取り、それ以外の場合、すなわち制御クロックパルスCLK0が「H」、CLK2が「L」の場合に、論理値「0」を取る。

【0096】

このようにして発生したマスク信号MSK0～MSK7は、図3の論理ゲート回路9-0～9-7にそれぞれ与えられ、各マスク信号は、対応する論理ゲート回路を構成する3個のゲート論理素子のそれぞれの他方入力に共通に与えられる。

【0097】

図7は、図4のレジスタ制御部7によって発生する制御クロックパルスCLK0～CLK3およびマスク信号MSK0～MSK7のタイミングを示すタイミング図である。

【0098】

図7を参照して、最上段に示したサンプル速度のクロックパルスに応じて、8進カウンタ7cのカウント値は、繰返しカウントアップされ、3ビット目でハイレベルに立ち上がり4サンプルクロック周期にわたってハイレベルを維持する分周クロックパルスが生成され、制御クロックパルスCLK0となる。

【0099】

このハイレベルのクロックパルスCLK0は、遅延素子11-1～11-3によりそれぞれ1サンプルクロック周期ずつ遅延され、制御クロックパルスCLK1～CLK3となる。

【0100】

このようなハイレベルの制御クロックパルスを3個の記憶素子のそれぞれの制御入力に受取った各受信信号蓄積レジスタは、その立ち上がりエッジのタイミングで能動化され、そのタイミングで入力された3ビットの受信信号サンプルを保持する。

【0101】

図7に戻って、制御クロックパルスCLK0～CLK3に基づいて、1サンプルクロック周期ずつずれてハイレベルに立ち上がり2サンプルクロック周期にわ

たってハイレベルを維持するマスク信号MSK0～MSK7が生成される。

【0102】

このようなハイレベルのマスク信号を3個のゲート論理素子のそれぞれの他方入力に受取った各論理ゲート回路は、ハイレベルの期間中能動化され、その期間中に3個のゲート論理素子のそれぞれの一方入力に受取った3ビット入力受信信号サンプルを後段の対応する受信信号蓄積レジスタの3個の記憶素子の入力に通過させる。それ以外ときには、対応するマスク信号はローレベルに固定されて各論理ゲート回路は不能化され、後段の受信信号蓄積レジスタへの3ビット受信信号サンプルの入力はマスクされることになる。

【0103】

図8は、図7に示した全体のタイミング図のうち、論理ゲート回路9-5を介して受信信号蓄積レジスタ8-5に受信信号サンプルを書込む動作を抽出して示す部分タイミング図である。

【0104】

図8を参照して、受信信号蓄積レジスタ8-5に与えられる制御クロックパルスCLK5は、前述のように、制御クロックパルスCLK1を図示しないインバータで反転することによって得られる。

【0105】

論理ゲート回路9-5は、ANDゲート、セクタ回路などである3個のゲート論理素子で構成され、対応するマスク信号MSK5が論理値「1」を維持する期間中だけ開いて、3ビットの受信信号サンプルを後段の受信信号蓄積レジスタに伝達する。

【0106】

受信信号蓄積レジスタ8-5は、対応する制御クロックパルスCLK5の立ち上がりエッジのタイミングで、3ビットの入力受信信号サンプルを取込み格納する。すなわち、このタイミングでレジスタ内容が更新される。

【0107】

図8の例では、受信信号蓄積レジスタ8-5に保持される受信信号サンプルの書換え（更新）のタイミング（対応する制御クロックパルスCLK5の立ち上が

リエッジのタイミング)の前後2サンプルクロック周期にわたって、対応する前段の論理ゲート回路9-5が開き、入力される受信信号サンプルD7~D9、D15~D17、D23~D25を通過させる。

【0108】

制御クロックパルスCLK5の立ち上がりエッジごとに、受信信号サンプルD8、D16、D24が順次受信信号蓄積レジスタ8-5に蓄積され、レジスタ内容が更新される。そして、任意のタイミングにおいて、そのとき受信信号蓄積レジスタ8-5に格納されている受信信号サンプル(D8、D16、またはD24)がタップ出力R5として、図2の相関値演算部14に出力されることになる。

【0109】

その他の受信信号蓄積レジスタ8-0~8-4および8-6~8-7についても、上述の受信信号蓄積レジスタ8-5と同様の処理が行なわれることになる。

【0110】

以上のように、レジスタ制御部7の制御により、時系列的に入力されている受信信号系列のサンプルが、所定のタイミングで、8個の受信信号蓄積レジスタ8-0~8-7に、8個の論理ゲート回路の対応するものを介して巡回的に書き込まれることとなり、それ以外のタイミングでは、各受信信号蓄積レジスタへの受信信号サンプルの書込みはマスクされることになる。

【0111】

これにより、本来の書込みタイミングにない受信信号蓄積レジスタに入力受信信号サンプルが不必要に入力されることはなくなり、当該受信信号蓄積レジスタにおいて電力消費が発生することが防止される。

【0112】

なお、各論理ゲート回路の負荷容量は、各受信信号蓄積レジスタの負荷容量より小さいことがのぞましい。各論理ゲート回路は、対応する受信信号蓄積レジスタに代わって不要な入力信号を受けるものであり、論理ゲート回路の方が蓄積レジスタよりも負荷容量が小さければ、不要な入力信号によって生じる論理ゲート回路の消費電力が受信信号蓄積レジスタのそれよりも小さくなり、全体として消費電力の低減が図られる。

【0 1 1 3】

次に、図 9 は、図 2 に示す拡散符号生成部 1 3 の構成を詳細に示すブロック図である。図 9 を参照して、拡散符号生成部 1 3 は、拡散符号生成器 1 3 a と、制御部 1 3 b と、第 1 の係数レジスタ 1 3 c と、第 2 の係数レジスタ 1 3 d とを備えている。

【0 1 1 4】

拡散符号生成器 1 3 a は、所定の生成多項式に基づいて既知の拡散符号系列を発生し、第 1 の係数レジスタ 1 3 c に与える。第 1 の係数レジスタ 1 3 c は、右シフトレジスタであり、生成された拡散符号系列を順次格納する。また、第 2 の係数レジスタ 1 3 d は、巡回型の左シフトレジスタである。

【0 1 1 5】

制御部 1 3 b は、拡散符号生成器 1 3 a が生成する拡散符号のチップ数をカウントし、拡散符号長（1 フレーム分のチップ数）に達したことを判定すると、制御信号を発生して、係数レジスタ 1 3 c、1 3 d に与える。

【0 1 1 6】

たとえば、制御部 1 3 b は、拡散符号生成器 1 3 a が生成する拡散符号のチップ数が拡散符号長に達していない間は、制御信号「0」を出力し、第 1 の係数レジスタ 1 3 c を起動状態に置くとともに第 2 の係数レジスタ 1 3 d を不能化しておく。

【0 1 1 7】

一方、制御部 1 3 b は、拡散符号生成器 1 3 a が生成する拡散符号のチップ数が拡散符号長に達した場合には、制御信号「1」を出力し、第 1 の係数レジスタ 1 3 c を不能化するとともに第 2 の係数レジスタ 1 3 d を起動する。これにより、係数レジスタ 1 3 c の内容は、係数レジスタ 1 3 d に書込まれ、係数レジスタ 1 3 d の内容は、逆拡散用のタップ係数 $C_0 \sim C_3$ として、図 2 の相関値演算部 1 4 に与えられる。

【0 1 1 8】

次に、図 1 0 は、図 2 に示した相関値演算部 1 4 の構成を詳細に示すブロック図である。図 1 0 を参照して、相関値演算部 1 4 は、第 1 の相関値演算回路 1 4

aと、第2の相関値演算回路14bと、出力制御部20とを備えている。

【0119】

第1の相関値演算回路14aは、受信信号保持部12から並列に供給される偶数番目の受信信号サンプル（タップ出力）R0、R2、R4、R6と、拡散符号生成部13から並列に供給される1フレームの拡散符号（タップ係数）C0、C1、C2、C3との相関値を算出する。第2の相関値演算回路14bは、受信信号保持部12から並列に供給される奇数番目の受信信号サンプル（タップ出力）R1、R3、R5、R7と、拡散符号生成部13から並列に供給される1フレームの拡散符号（タップ係数）C0、C1、C2、C3との相関値を算出する。

【0120】

ここで、タップ係数C0～C3の各々は、本来「0」または「1」の1ビットの信号であるが、以下に説明する相関値算出演算においては、「0」を+1、「1」を-1と置換えて相関値演算回路14a、14bに与えるものとする。

【0121】

第1の相関値演算回路14aは、第1の積和演算部16aと、閾値判定部17aと、スイッチ18aと、第2の積和演算部19aと、加算器25aとを備える。

【0122】

まず、第1の積和演算部16aにおいて、タップ出力R0、R2と、タップ係数C0、C1とが、乗算器21a-1、21a-2によってそれぞれ乗算され、その結果が加算器22aによって加算される。すなわち、第1の積和演算部16aからは、タップ出力R0、R2と、タップ係数C0、C1との相関値が出力されることになる。

【0123】

この相関値は、閾値判定部17aにおいて、所定の閾値Thと比較され、相関値が閾値Th以上の場合には、閾値判定部17aは、スイッチ18aの可動接点が固定接点b側に切換わるようにスイッチ18aを制御する。

【0124】

これにより、タップ係数C2、C3がスイッチ18aを介して第2の積和演算

部 19 a に与えられ、乗算器 23 a-1、23 a-2 により、それぞれタップ出力 R4、R6 と乗算される。そして、その乗算結果が加算器 24 a によって加算される。すなわち、第 2 の積和演算部 19 a からは、タップ出力 R4、R6 と、タップ係数 C2、C3 との相関値が出力されることになる。

【0125】

第 1 の積和演算部 16 a で算出された相関値と、第 2 の積和演算部 19 a で算出された相関値とは、加算器 25 a で加算され、第 1 の相関値演算回路 14 a の相関値出力として出力制御部 20 に与えられる。

【0126】

一方、閾値判定部 17 a は、第 1 の積和演算部 16 a の相関値出力が所定の閾値 Th よりも小さい場合には、スイッチ 18 a の可動接点が固定接点 a 側に切換わるようにスイッチ 18 a を制御する。

【0127】

これにより、値 0 がタップ係数 C2、C3 としてスイッチ 18 a を介して第 2 の積和演算部 19 a に与えられ、乗算器 23 a-1、23 a-2 により、それぞれタップ出力 R4、R6 と乗算される。したがって、その乗算結果はともに 0 となり、加算器 24 a に入力される。これにより、加算器 24 a は、その加算動作を停止する。

【0128】

一方、第 2 の相関値演算回路 14 b は、第 1 の積和演算部 16 b と、閾値判定部 17 b と、スイッチ 18 b と、第 2 の積和演算部 19 b と、加算器 25 b とを備える。

【0129】

まず、第 1 の積和演算部 16 b において、タップ出力 R1、R3 と、タップ係数 C0、C1 とが、乗算器 21 b-1、21 b-2 によってそれぞれ乗算され、その結果が加算器 22 b によって加算される。すなわち、第 1 の積和演算部 16 b からは、タップ出力 R1、R3 と、タップ係数 C0、C1 との相関値が出力されることになる。

【0130】

この相関値は、閾値判定部 17b において、所定の閾値 T_h と比較され、相関値が閾値 T_h 以上の場合には、閾値判定部 17b は、スイッチ 18b の可動接点が固定接点 d 側に切換わるようにスイッチ 18b を制御する。

【0131】

これにより、タップ係数 C_2 、 C_3 がスイッチ 18b を介して第 2 の積和演算部 19b に与えられ、乗算器 23b-1、23b-2 により、それぞれタップ出力 R_5 、 R_7 と乗算される。そして、その乗算結果が加算器 24b によって加算される。すなわち、第 2 の積和演算部 19b からは、タップ出力 R_5 、 R_7 と、タップ係数 C_2 、 C_3 との相関値が出力されることになる。

【0132】

第 1 の積和演算部 16b で算出された相関値と、第 2 の積和演算部 19b で算出された相関値とは、加算器 25b で加算され、第 2 の相関値演算回路 14b の相関値出力として出力制御部 20 に与えられる。

【0133】

一方、閾値判定部 17b は、第 1 の積和演算部 16b の相関値出力が所定の閾値 T_h よりも小さい場合には、スイッチ 18b の可動接点が固定接点 c 側に切換わるようにスイッチ 18b を制御する。

【0134】

これにより、値 0 がタップ係数 C_2 、 C_3 としてスイッチ 18b を介して第 2 の積和演算部 19b に与えられ、乗算器 23b-1、23b-2 により、それぞれタップ出力 R_5 、 R_7 と乗算される。したがって、その乗算結果はともに 0 となり、加算器 24b に入力される。これにより、加算器 24b は、その加算動作を停止する。

【0135】

出力制御部 20 は、第 1 の相関値演算回路 14a の相関値出力と、第 2 の相関値演算回路 14b の相関値出力とをサンプル速度で交互に選択し、順次出力する。

【0136】

図 10 に示したこの発明の実施形態による相関値演算部 14 では、第 1 および

第2の相関値演算回路14a、14bのそれぞれを、前段の第1の積和演算部16a、16bと、後段の第2の積和演算部19a、19bとに分けて構成している。そして前段の第1の積和演算部で算出されたタップ出力とタップ係数との部分的な相関値が所定の閾値以上の大きさを示し、全体としての相関値がピーク値を示す可能性が高いときにのみ、後段の第2の積和演算部をも動作させ、全体的な相関値を算出するように構成している。

【0137】

受信信号サンプルと1フレームの拡散符号との相関値がピーク値となるのは、各フレーム期間において一瞬であり、それ以外のほとんどのタイミングでは相関値の計算を最後まで実行する必要はない。そこでこの発明では、相関値がピーク値を取りそうにない期間においては後段の積和演算部の動作を停止させ、不要な電力消費の発生を防止している。

【0138】

また、図10に示したこの発明の実施の形態による相関値演算部14では、8個のタップ出力R0～R7を、偶数番号のR0、R2、R4、R6からなる第1のグループと、奇数番号のR1、R3、R5、R7からなる第2のグループとに分割し、それぞれのグループに対応して第1の相関値演算回路14aと、第2の相関値演算回路14bとの2系統の相関値演算回路を設けている。

【0139】

たとえば、図2に示すデジタルマッチトフィルタ11において、単一の相関値演算回路によって、受信信号保持部12から並列に出力されるタップ出力R0～R7と、拡散符号生成部13から並列に出力されるタップ係数C0～C3との積和演算を高速に（オーバサンプリング速度で）行なって相関値を求めるためには、8個のタップ出力と4個のタップ係数とを組合せるために複雑な切換回路が必要となる。このため相関値演算部14の回路構成が複雑化することになる。また、サンプル速度の高速動作により相関値演算部14自体の消費電力も増大することとなる。

【0140】

図10の実施形態では、タップ出力のそれぞれのグループに対応して相関値演

算回路を複数系統設け、それぞれの相関値演算回路の相関値出力をサンプル速度で交互に選択し、順次出力することにより相関値演算部 1 4 の相関値出力を形成している。したがって、相関値演算部の前段に複雑な切換回路を設ける必要もなく、また各相関値演算回路は、低い動作周波数で（図 1 0 の例ではサンプル速度の 2 分の 1 で）動作するため、各相関値演算回路の消費電力の低減を図ることができる。

【 0 1 4 1 】

ところで、次世代の移動体通信システムである広帯域 CDMA (Wide-Band Code Division Multiple Access) 方式の標準化が、3rd Generation Partnership Project(3GPP)というプロジェクトにおいて進められている。

【 0 1 4 2 】

図 1 1 は、この 3 G P P に規定された方式に準拠した下りリンク同期チャネル (P-SCH:Primary Synchronization Channel)用のデジタルマッチトフィルタ 3 1 の構成を示すブロック図である。

【 0 1 4 3 】

図 2 に示した実施の形態によるデジタルマッチトフィルタ 1 1 では、図 1 5 の初期同期回路 7 0 に用いられることを前提に、説明の簡単化のために 1 系統の入力受信信号の相関値出力を算出している。

【 0 1 4 4 】

これに対し、図 1 1 の例では、受信機の逆拡散部（図 1 4 の 6 6）においては、P-SCH の受信信号は、I 相（同相成分）と、Q 相（直交成分）との 2 系統に分かれ、それぞれに対して図 2 に示すこの発明によるデジタルマッチトフィルタが用いられている。

【 0 1 4 5 】

すなわち、P-SCH の受信信号の I 相成分と拡散符号との相関値を算出するためにデジタルマッチトフィルタ (I-DMF) 3 1 a が設けられており、P-SCH の受信信号の Q 相成分と拡散符号との相関値を算出するためにデジタルマッチトフィルタ (Q-DMF) 3 1 b が設けられている。

【 0 1 4 6 】

デジタルマッチトフィルタ 3 1 a および 3 1 b の各々は、図 2 から図 1 0 に示したこの発明の実施形態によるデジタルマッチトフィルタ 1 1 で構成されている。デジタルマッチトフィルタ 3 1 a で算出された受信信号の I 相成分と拡散符号との相関値は、電力加算器 3 1 c の一方入力に与えられ、デジタルマッチトフィルタ 3 1 b で算出された受信信号の Q 相成分と拡散符号との相関値は、電力加算器 3 1 c の他方入力に与えられる。電力加算器 3 1 c は、I 相成分および Q 相成分の相関値を統合し、出力する。

【0147】

図 1 2 は、図 1 1 の P-SCH 用のデジタルマッチトフィルタ 3 1 の後段に接続された巡回積分部 7 2 (図 1 5) から出力される相関値出力のピーク値を示す、受信信号の 1 シンボル周期当たりの波形図である。

【0148】

図 1 2 において、(a) は、信号対雑音比 (SNR) が高い場合の波形図であり、(b) は、SNR が低い場合の波形図である。(a) に示すように、SNR が高い場合には、良好な相関値ピーク特性が得られている。一方、(b) に示すように、SNR が低い場合には、デジタルマッチトフィルタ 3 1 a、3 1 b のそれぞれの出力に雑音の影響が出るが、巡回積分部 7 2 (図 1 5) による加算 (平均化) により、雑音成分の影響が低減され、デジタルマッチトフィルタ 3 1 の出力としては、比較的良好な相関値ピーク特性が得られている。

【0149】

次に、図 1 3 は、この発明による消費電力の低減効果を視覚的に示したグラフである。図 1 3 の左端の棒グラフは、図 1 6 に示す信号蓄積用にシフトレジスタを用いた従来のデジタルマッチトフィルタの消費電力であり、これを 1 0 0 % とする。

【0150】

これに対し、図 3 の実施形態に示すように、受信信号の蓄積用に、シフトレジスタではなく、並列レジスタを使用し、各レジスタの入力を論理ゲート回路でマスクすることによってレジスタ部での消費電力が著しく低減され、さらに相関値演算部の前段部分の相関値が閾値 $T_h = \alpha$ を超えない限り、後段部分を常時動作

させないことにより相関値演算部の消費電力が低減された様子を、図13の中央の棒グラフが示している。

【0151】

さらに、図13の右端の棒グラフは、閾値 T_h を2倍の 2α に設定した場合の消費電力を示しており、この場合はより厳密に後段の相関値演算部の不要な動作が排除されるため、相関値演算部における消費電力の低減は著しいものとなる。

【0152】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0153】

【発明の効果】

以上のように、この発明によれば、受信信号と拡散符号との部分的な積和演算により相関値がピーク値となる可能性を判断し、その可能性ある場合にのみ、相関値算出のための積和演算をすべて行ない、それ以外の場合には、積和演算を部分的にしか行なわないように構成している。このため、相関値算出のための積和演算回路の消費電力を著しく低減することができる。

【0154】

さらにこの発明によれば、入力受信信号に対して、受信信号蓄積レジスタを並列に設け、そのうち、本来の書込みタイミングにあるレジスタ以外のレジスタの入力をマスクするように構成している。このため、書込みタイミングにない受信信号蓄積レジスタにおける不要な信号入力による消費電力の発生を防止することができる。

【0155】

さらにこの発明によれば、相関値算出のための積和演算回路を、受信信号サンプルの複数のグループに対応して並列に複数系列設けるように構成している。このため、各積和演算回路の動作周波数を下げることができ、相関値算出のための消費電力の低減を図ることができる。

【図面の簡単な説明】

【図 1】 この発明によるデジタルマッチトフィルタが適用される、デジタル無線通信の携帯無線端末の全体構成を示す概略ブロック図である。

【図 2】 図 1 に示した携帯無線端末に適用される、この発明の実施の形態 1 によるデジタルマッチトフィルタを示す概略ブロック図である。

【図 3】 受信信号保持部 1 2 の構成を詳細に示すブロック図である。

【図 4】 レジスタ制御部 7 の構成を示すブロック図である。

【図 5】 マスク信号生成部 7 b の真理値表の一例を示す図である。

【図 6】 図 5 に示した真理値表を実現したマスク信号生成部 7 b の論理回路構成の一例を示すブロック図である。

【図 7】 図 4 のレジスタ制御部 7 によって発生する制御クロックパルスおよびマスク信号のタイミングを示すタイミング図である。

【図 8】 論理ゲート回路 9 - 5 を介して受信信号蓄積レジスタ 8 - 5 に受信信号サンプルを書込む動作を抽出して示す部分タイミング図である。

【図 9】 図 2 に示す拡散符号生成部 1 3 の構成を詳細に示すブロック図である。

【図 1 0】 図 2 に示した相関値演算部 1 4 の構成を詳細に示すブロック図である。

【図 1 1】 3 G P P に規定された方式に準拠した P - S C H 用のデジタルマッチトフィルタ 3 1 の構成を示すブロック図である。

【図 1 2】 図 1 1 の P - S C H 用のデジタルマッチトフィルタ 3 1 の相関値出力のピーク値特性を示す波形図である。

【図 1 3】 この発明による消費電力の低減効果を視覚的に示した模式図である。

【図 1 4】 スペクトル直接拡散通信システムにおける送信機および受信機の基本構成を示す概略ブロック図である。

【図 1 5】 初期同期を行なう従来の初期同期回路およびその制御回路を示す概略ブロック図である。

【図 1 6】 デジタルマッチトフィルタ 7 1 の一例としてのトランスバーサ

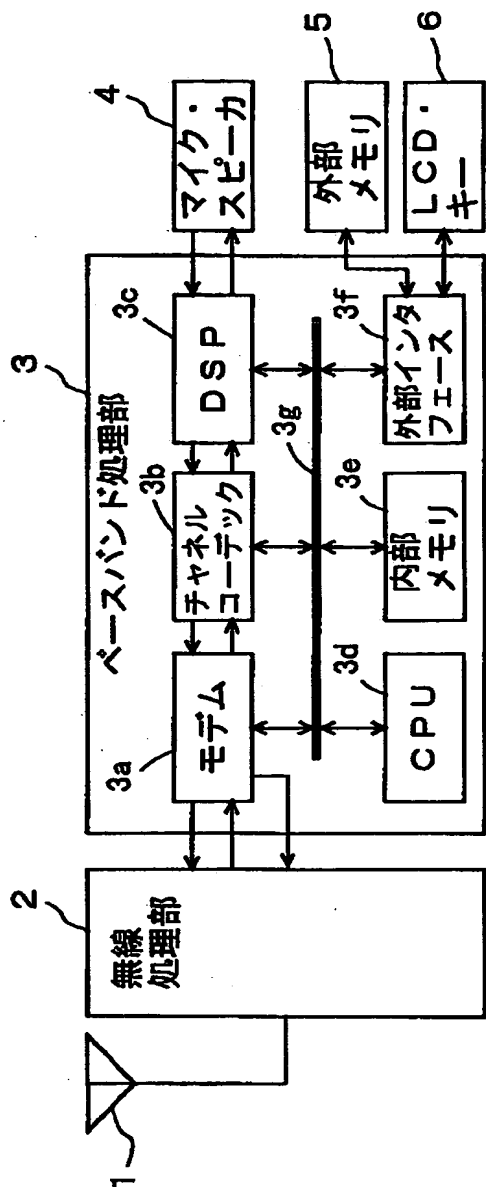
ル型フィルタの構成を示すブロック図である。

【符号の説明】

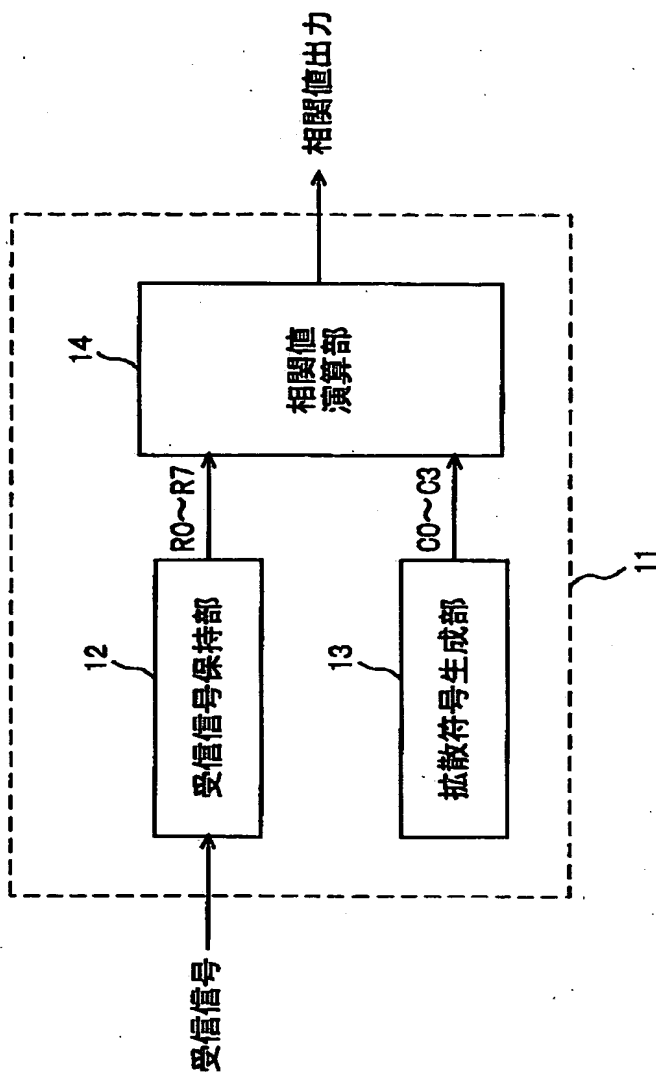
1 アンテナ、2 無線処理部、3 ベースバンド処理部、3 a モデム、3 b チャンネルコーデック、3 c DSP、3 d CPU、3 e 内部メモリ、3 f 外部インタフェース、3 g 内部バス、4 音声入出力装置、5 外部メモリ、6 表示／入力装置、7 レジスタ制御部、8-0～8-7 受信信号蓄積レジスタ、9-0～9-7 論理ゲート回路、11, 31, 71 デジタルマッチトフィルタ、12 受信信号保持部、13 拡散符号生成部、14 相関値演算部、60 送信機、61 一次変調器、62 拡散部、63, 64 アンテナ、65 受信機、66 逆拡散部、67 復調部、70 初期同期回路、72 巡回積分部、73 同期捕捉判定部、80 制御部。

【書類名】 図面

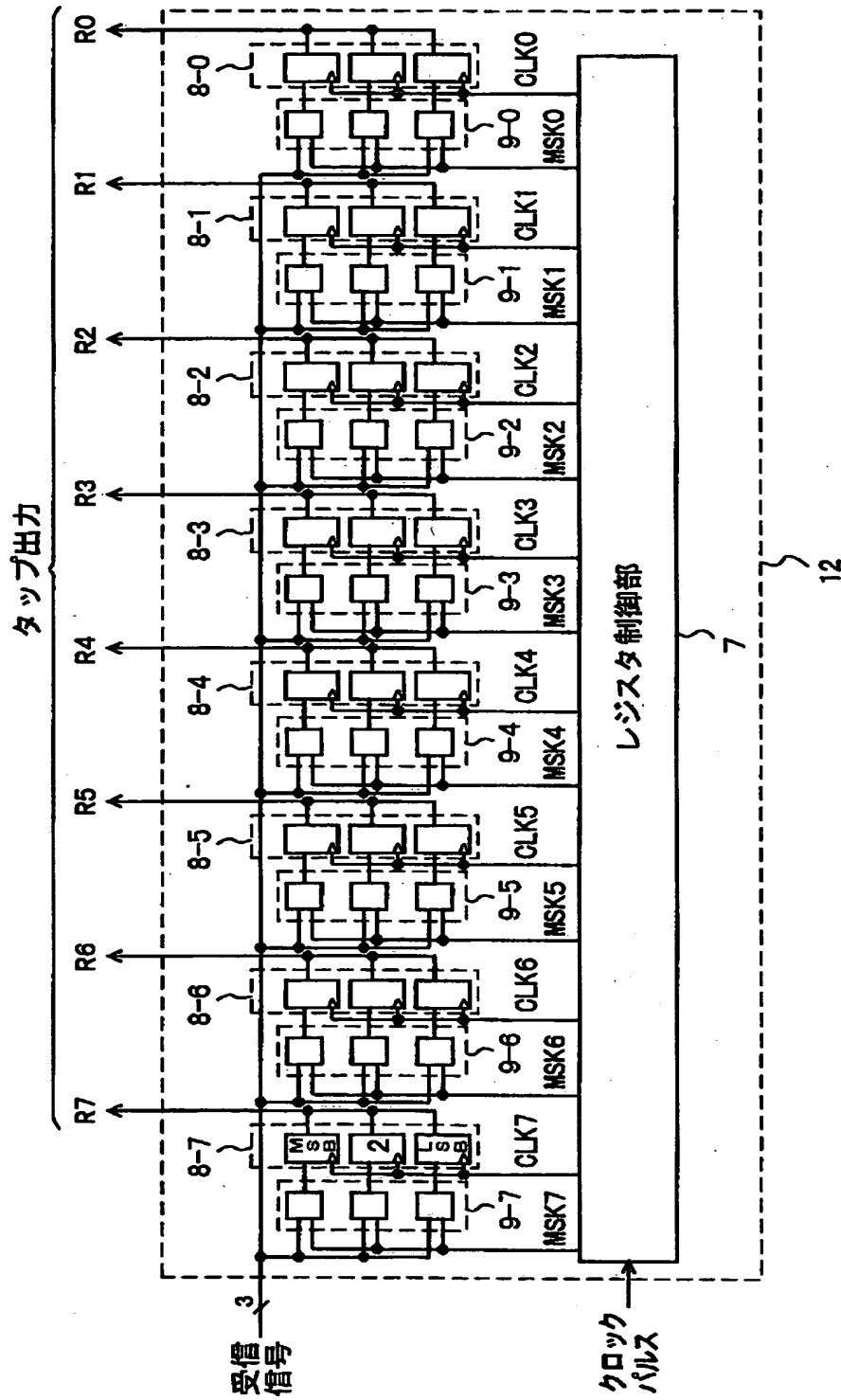
【図 1】



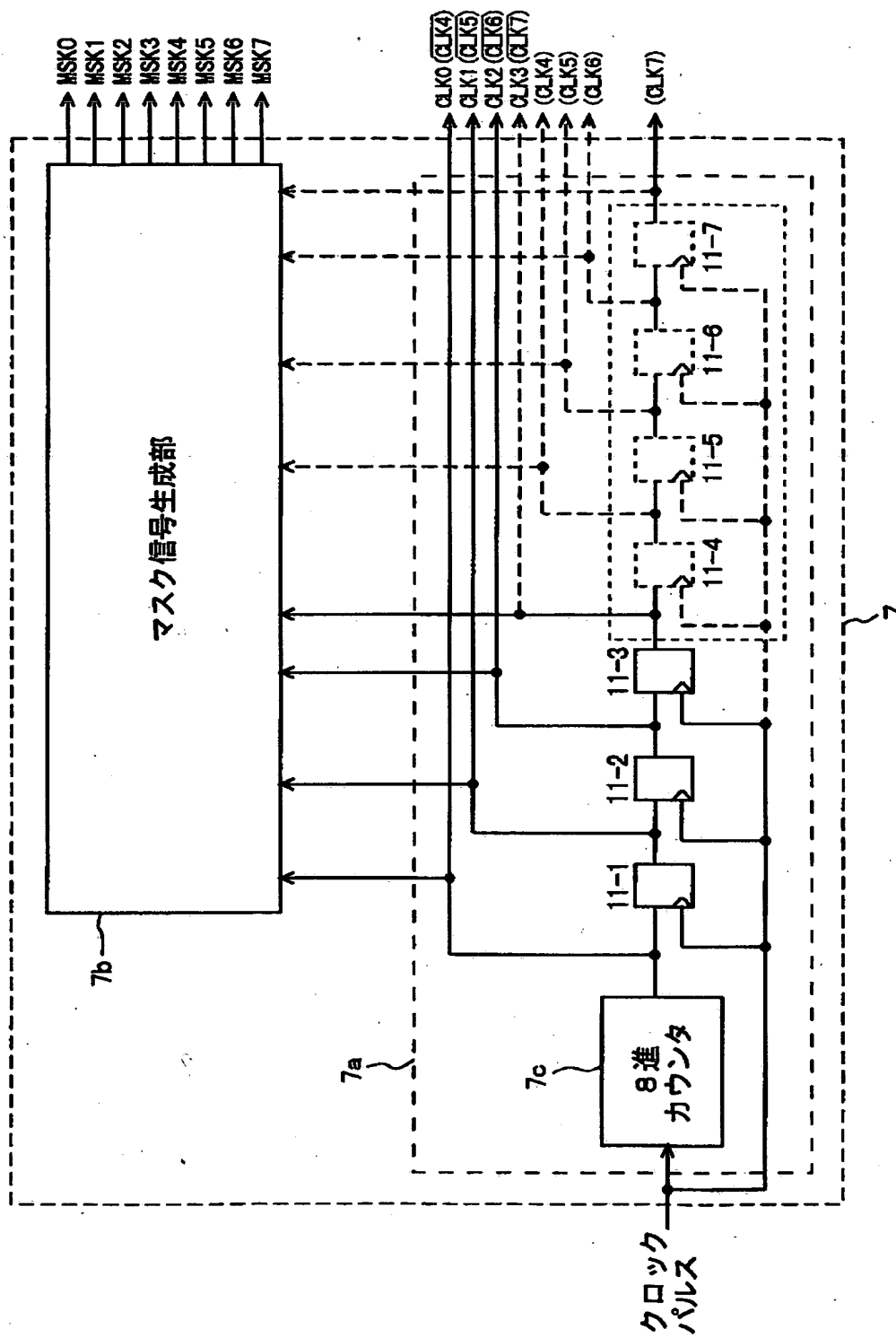
【図2】



【図 3】



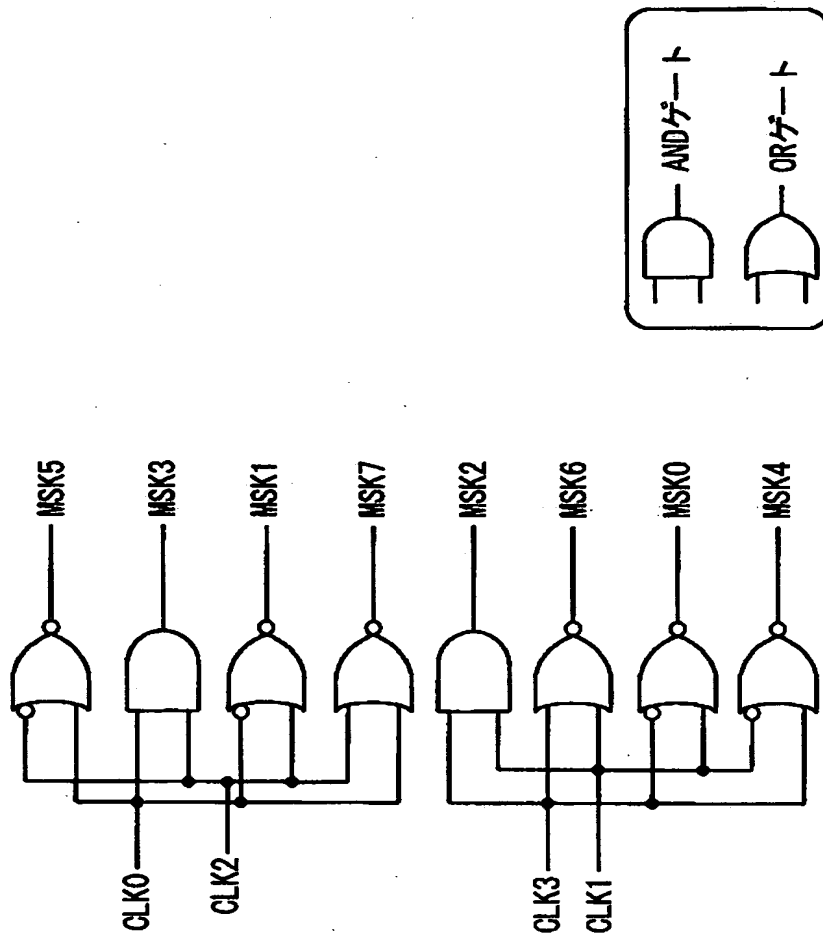
【図4】



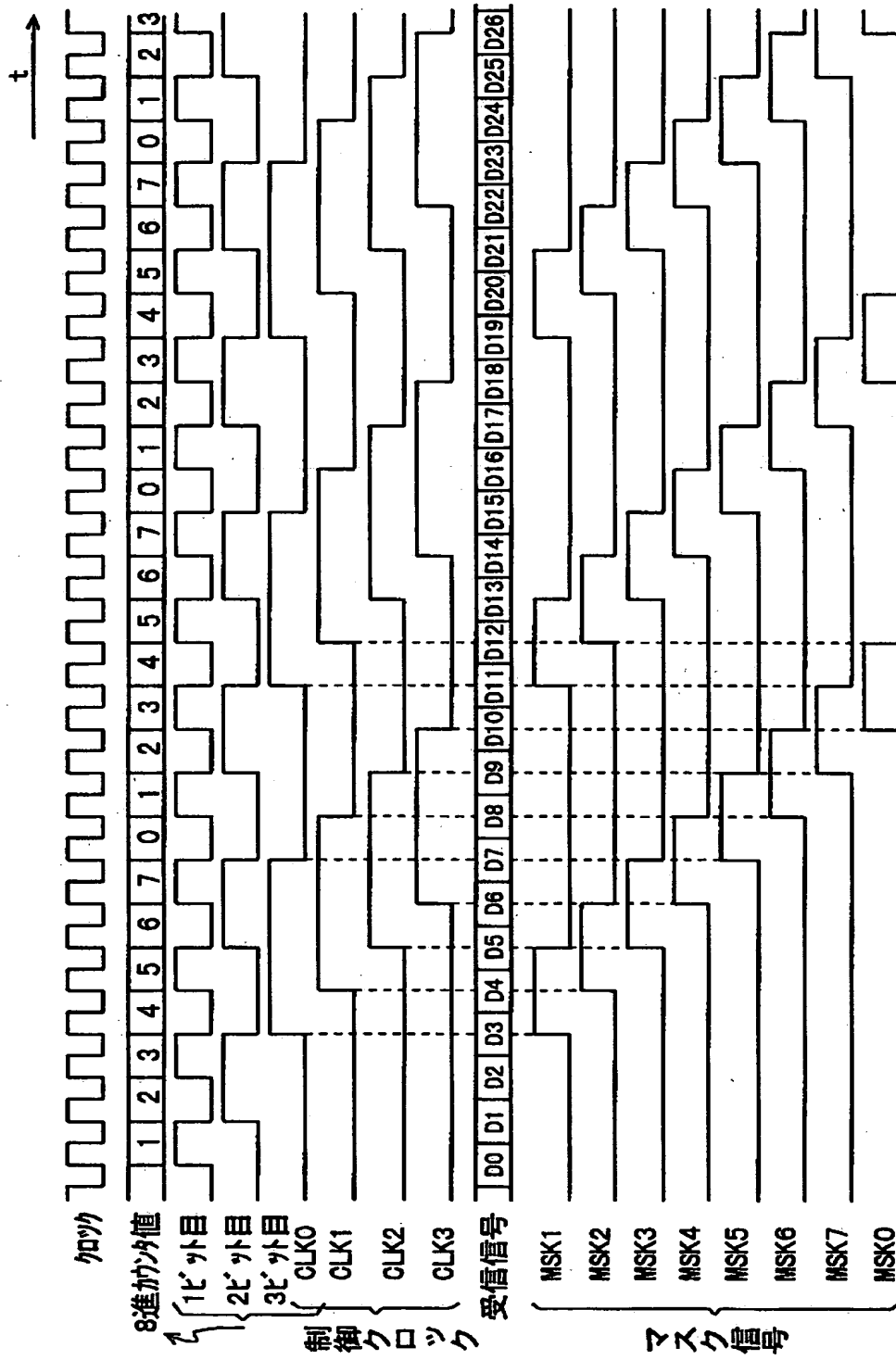
【図5】

	入力信号					出力信号						
	CLK3	CLK2	CLK1	CLK0	MSK7	MSK6	MSK5	MSK4	MSK3	MSK2	MSK1	MSK0
(1)	L	L	L	L	1	1	0	0	0	0	0	0
(2)	L	L	L	H	0	1	0	0	0	0	1	0
(3)	L	L	H	L	1	0	0	1	0	0	0	0
(4)	L	L	H	H	0	0	0	1	0	0	1	0
(5)	L	H	L	L	0	1	1	0	0	0	0	0
(6)	L	H	L	H	0	1	0	0	1	0	0	0
(7)	L	H	H	L	0	0	1	1	0	0	0	0
(8)	L	H	H	H	0	0	0	1	1	0	0	0
(9)	H	L	L	L	1	0	0	0	0	0	0	1
(10)	H	L	L	H	0	0	0	0	0	0	1	1
(11)	H	L	H	L	1	0	0	0	0	1	0	0
(12)	H	L	H	H	0	0	0	0	0	1	1	0
(13)	H	H	L	L	0	0	1	0	0	0	0	1
(14)	H	H	L	H	0	0	0	0	1	0	0	1
(15)	H	H	H	L	0	0	1	0	0	1	0	0
(16)	H	H	H	H	0	0	0	0	1	1	0	0

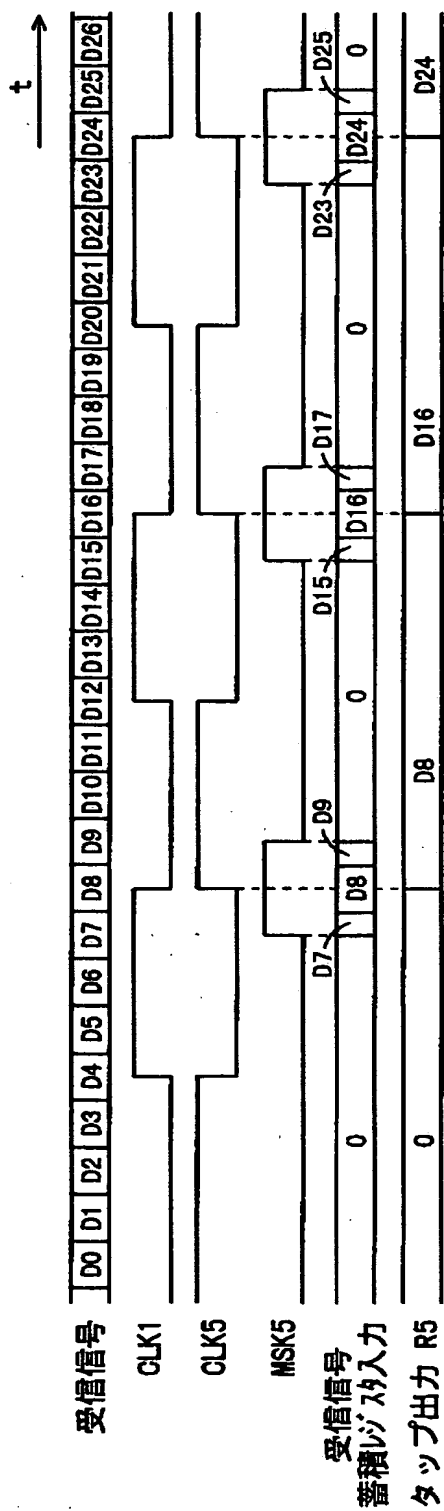
【図 6】



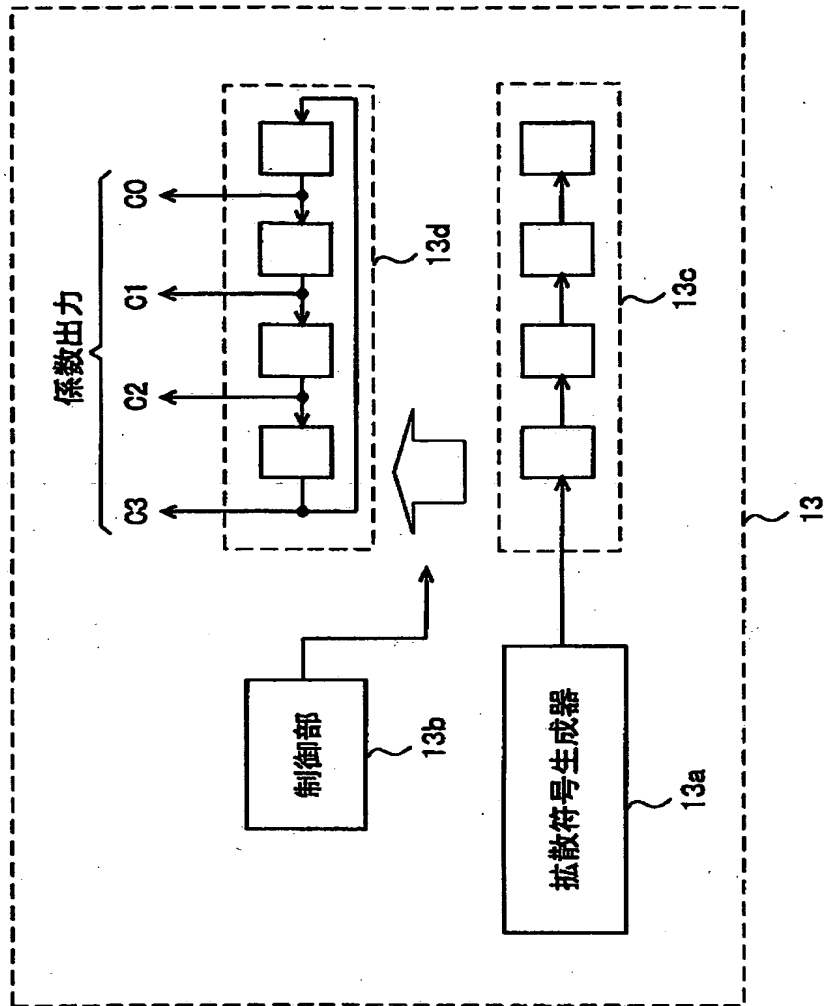
【図 7】



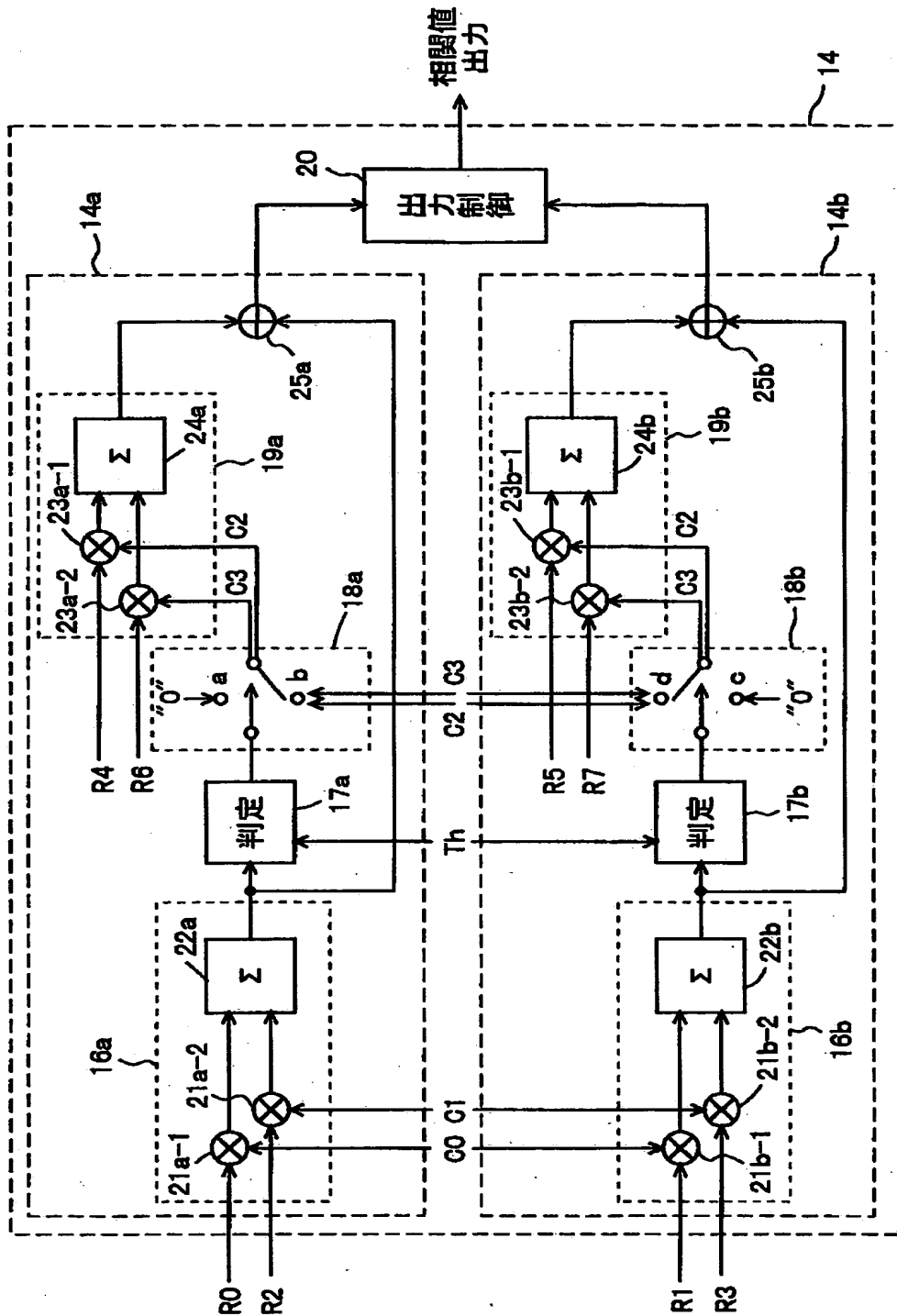
【圖 8】



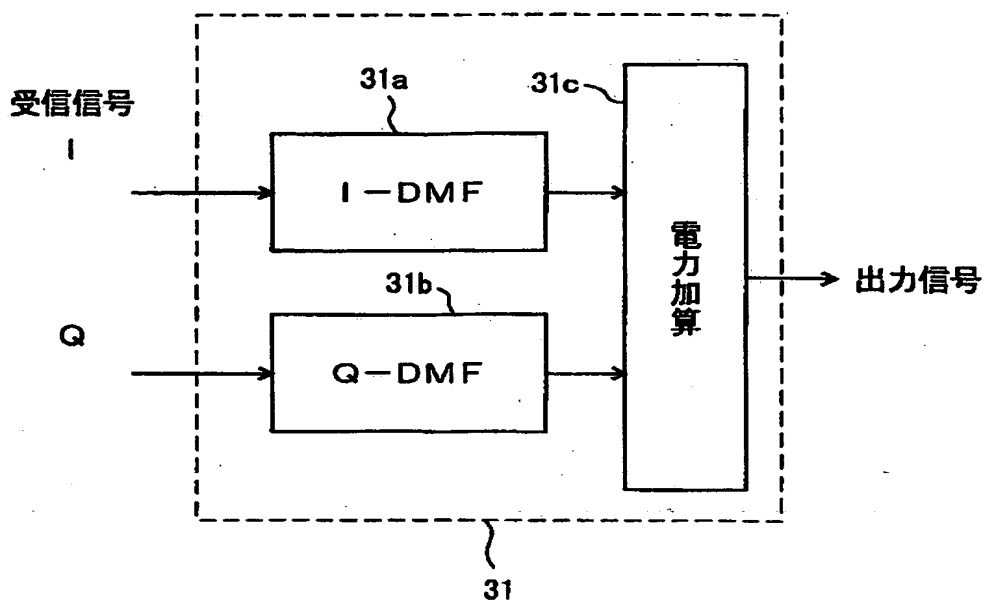
【図9】



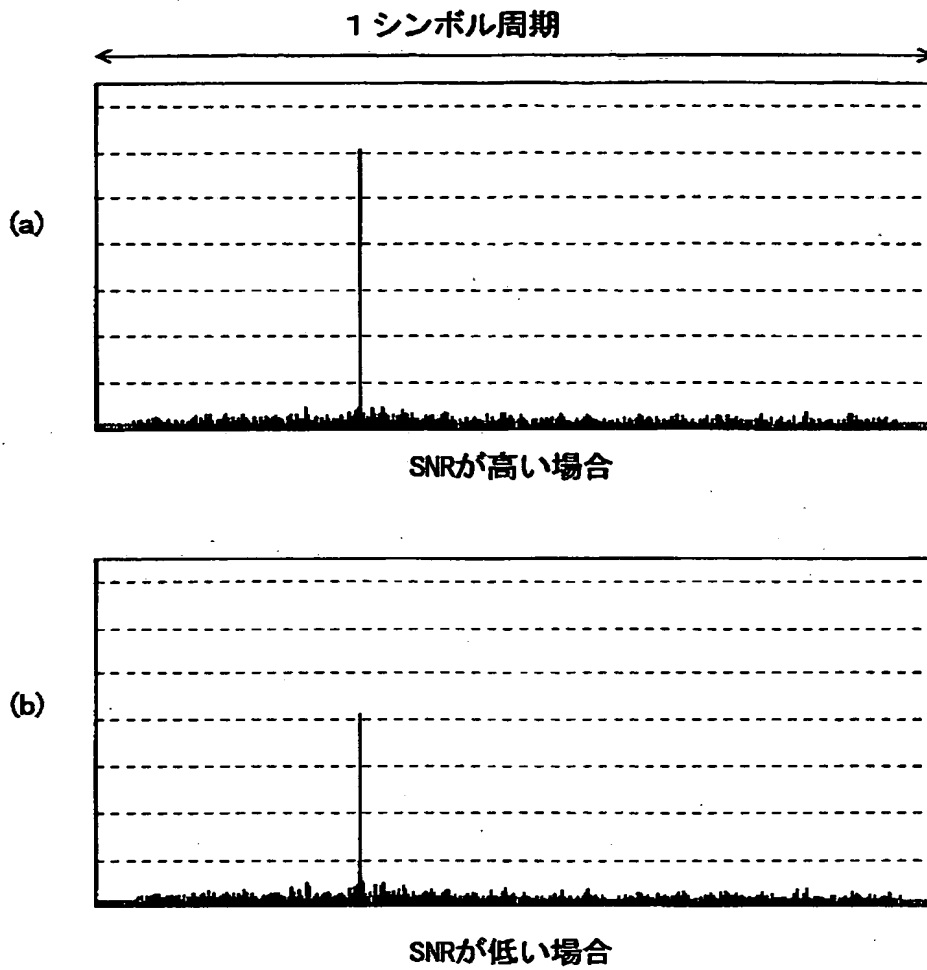
【図10】



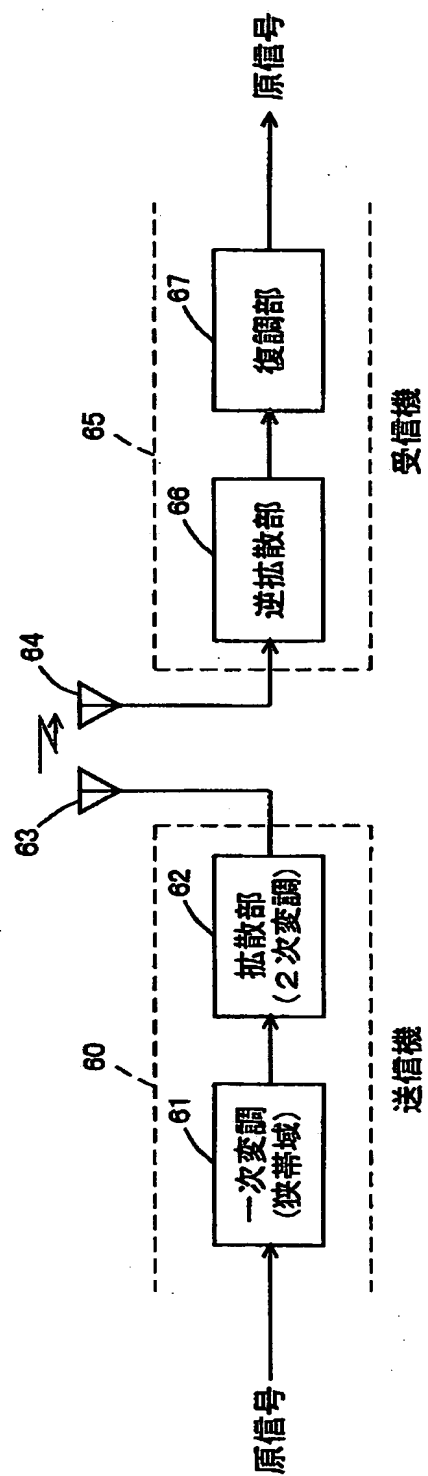
【図 11】



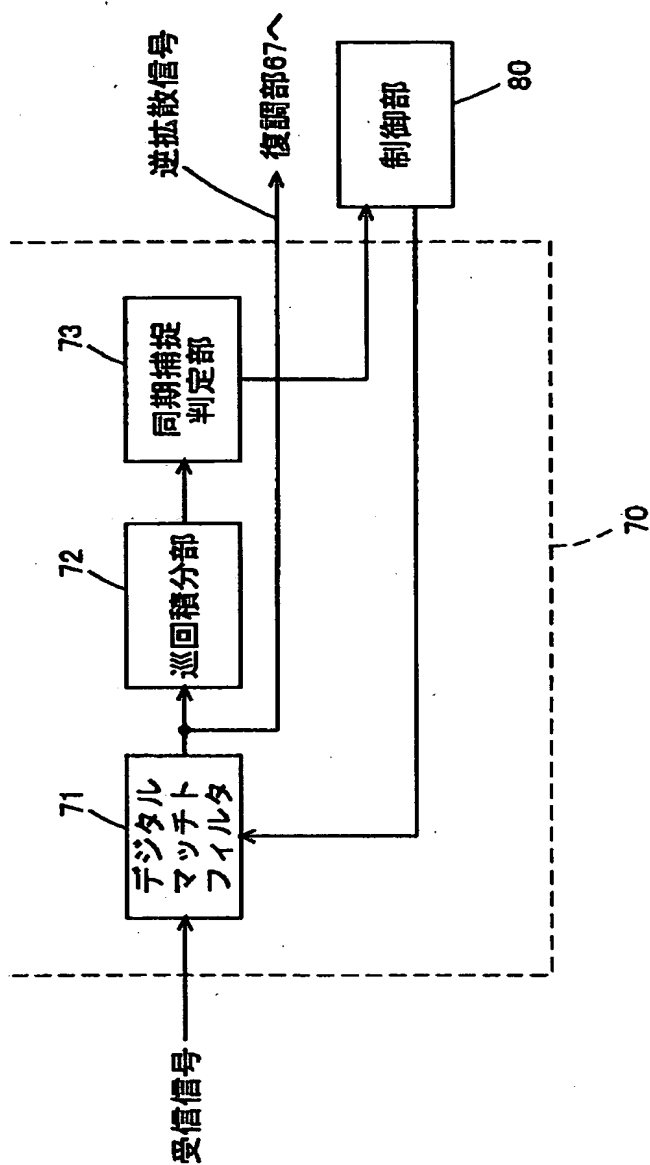
【図 1 2】



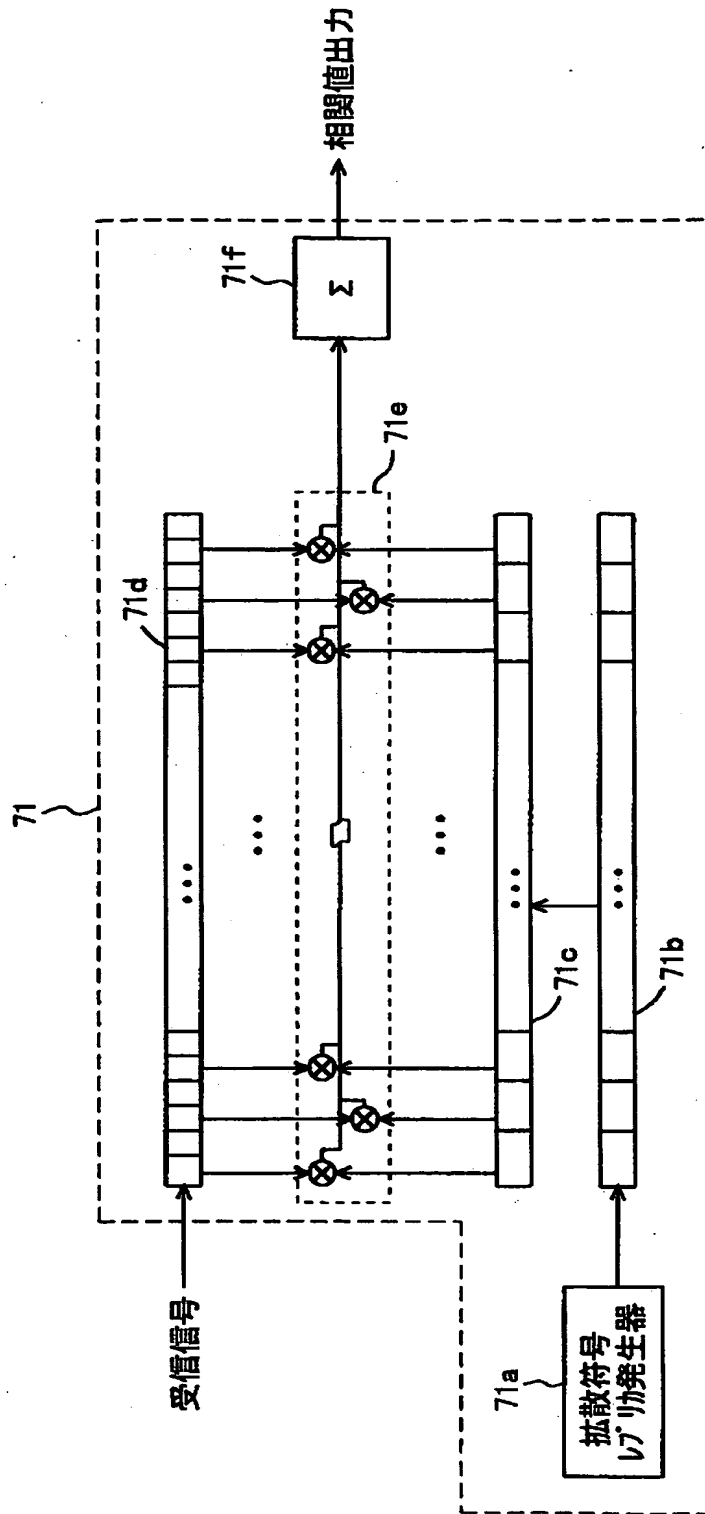
【図 14】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 受信信号と拡散符号との相関値のピーク検出の精度を維持しつつ、消費電力の低減を図ったデジタルマッチトフィルタ、およびそのようなデジタルマッチトフィルタを用いた携帯無線端末を提供する。

【解決手段】 デジタルマッチトフィルタ 1 1 は、受信信号サンプルを保持する受信信号保持部 1 2 と、既知の拡散符号を生成する拡散符号生成部 1 3 と、受信信号サンプルと拡散符号との相関値を算出する相関値演算部 1 4 とを含む。受信信号保持部 1 2 は、並列配置された複数のレジスタからなり、各レジスタの前段には、信号書き込み時以外の信号入力をマスクするゲート回路が設けられる。相関値演算部 1 4 は、並列配置された複数系統の低速動作の演算回路 1 4 a、1 4 b からなる。各演算回路は、前段と後段の積和演算部 1 6、1 9 に分割され、ピーク値検出時以外は、電力節減のため後段の積和演算部 1 9 を停止させる。

【選択図】 図 1 0

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号
氏 名 三洋電機株式会社